

ABSTRAK

Pada tugas akhir ini, telah didesain filter FIR dengan metode *equiripple* yang nantinya akan melewati *bandwidth* sebesar 40 Mhz pada frekuensi 50-90 Mhz dan direalisasikan pada FPGA. Filter FIR ini diimplementasikan untuk digunakan pada ISL (*Inter Satellite Links*). Metode filter FIR dipilih karena komunikasi yang dilakukan pada ISL adalah komunikasi data. Komunikasi data membutuhkan respon fasa yang linear, sedangkan filter yang bisa menjamin respon fasanya linear adalah filter FIR .

Metode *equiripple* dipilih karena metode ini adalah metode yang paling handal atau paling optimal karena pendekatan terhadap besarnya error antara respon frekuensi yang diinginkan dengan respon frekuensi sesungguhnya yang menyebar secara merata pada *passband* dan *stopband* sehingga dapat meminimalkan besarnya error. Perancangan filter FIR ini dilakukan dengan menggunakan program simulasi matlab R2012b. Perealisasian menggunakan FPGA dengan VHDL sebagai bahasa pemrogramannya dengan bantuan Xilinx ISE Design Suite 14.5

Pada perancangan filter FIR dibutuhkan orde sebesar 272. Dalam pengimplementasian filter FIR digital dalam FPGA GENESYS Xilinx Virtex-5 XC5VLX50T dibutuhkan *resource* FPGA yaitu : jumlah *slice register* 13%, jumlah *slice LUT* 39%, jumlah bonded IOB 3%, jumlah BUFG/BUFGCTRLs 9%, jumlah PLL_ADV 16 %, dan Jumlah DSP 48 93%. Dengan *bandwidth* 40-90 Mhz dan respon fasa yang linear.

Kata kunci : Filter FIR, *equiripple*, FPGA, VHDL