

ABSTRAK

Prosesor berkecepatan tinggi pada sistem komputasi sangat bergantung pada proses operasi matematika, karena operasi matematika merupakan salah satu blok perangkat keras utama dari sebagian besar sistem DSP (*Digital Signal Processing*). Multiplikasi merupakan operasi dasar matematika yang paling mendominasi waktu eksekusi pada prosesor jika dibandingkan operasi lainnya. Makalah ini menyajikan teknik multiplikasi berkecepatan tinggi 8x8 bit yang sangat berbeda dengan sistem multiplikasi konvensional, karena metode yang diusulkan berlandaskan pada struktur *Vertical* dan *Crosswise* dari matematika *Vedic*. Matematika *Vedic* memfasilitasi beberapa solusi sampai batas tertentu. Sistem multiplikasi dirancang menggunakan matematika *Vedic*, dikodekan dalam bahasa VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) serta diimplementasikan menggunakan board FPGA Altera DE-1. Hasil analisa dan implementasi dibandingkan dengan metode multiplikasi konvensional dan metode Booth radix-4 untuk menunjukkan peningkatan efisiensi yang signifikan dalam waktu *delay*. Waktu *delay* berkurang sebesar 1,231 *clock* untuk *slow model* dan 0,413 *clock* untuk *fast model* dibandingkan dengan waktu *delay* menggunakan metode konvensional.

Kata kunci: Matematika *Vedic*, VHDL, Multiplikasi, FPGA, *delay*, *Ripple Carry Adder*, Arsitektur.