
PENGUJIAN DAN VERIFIKASI DESAIN PENERIMA FM DIGITAL PADA FPGA(Verification and testing of FPGA-based *Digital FM Receiver Design*)**Rahmat Sopian¹**
(mastakamat@gmail.com)**Iswahyudi Hidayat,S.T.,M.T.²**
(isw@ittelkom.ac.id)**Denny Darlis,SSi.,M.T.³**
(dad@ittelkom.ac.id)^{1,2,3}Fakultas Elektro dan Komunikasi – Institut Teknologi TelkomJl. Telekomunikasi, Dayeuh Kolot Bandung 40257 Indonesia

ABSTRAK

FPGA muncul sebagai perangkat memori yang baru, pengembangan dalam perangkat ini masih jarang untuk digunakan sebagai riset perangkat telekomunikasi digital. FPGA dapat membangun memori prosesor dan memori pengendali perangkat eksternal, sehingga FPGA dapat mendukung suatu pengujian desain penerima FM digital. Didalam perangkat FPGA terdapat satu juta gerbang logika, dimana gerbang - gerbang logika tersebut dapat didesain dengan menggunakan bahasa VHDL. *Prototype* FPGA dapat memberikan suatu modal dasar pengembangan perancangan elektronika telekomunikasi yang berbasis digital.

Untuk mengembangkannya perlu dilakukan suatu pengujian perangkat telekomunikasi yang berbasis digital. Metode pengujian perangkat ini memodifikasi dari IC FM penerima digital yang sudah ada. Prinsip kerja IC FM penerima diimplementasikan kedalam bahasa VHDL yang *source*-nya sudah ada, tetapi bahan *source code* tersebut masih terdapat banyak kesalahan algoritma pemograman. Maka dari itu dalam proyek akhir ini dilakukan verifikasi *source coding* yang sudah ada dan penambahan rancangan perangkat analog agar sinyal frekuensi modulasi dapat disampling dan diterima pada proses pengolahan penerima FM radio pada FPGA berbasis digital.

Dalam pengujian perangkat FPGA ini, semua blok sistem komunikasi pada penerima FM digital dapat diimplementasikan. Tetapi perangkat FPGA ini membutuhkan ADC 8 bit dengan frekuensi sampling minimal 22 MHz. Proyek akhir ini mendesain program PLL digital dan audio codec dengan frekuensi sampling 48KHz. Selanjutnya pengujian ini akan dikembangkan untuk dijadikan sebagai Kit praktikum sistem komunikasi berbasis digital.

Kata Kunci : Penerima FM Digital, PLL digital, VHDL, FPGA.

Abstract

FPGA is a new generation of memory device, FPGA device is not famous for to be used as research tools for digital telecommunications. FPGA can build the processor memory and external memory device controller, so that the FPGA can support a digital FM receiver design testing. Inside the device there are one million logic gates, in which that logic gates can be designed by using VHDL language. FPGA prototype can provide a basis for the development of capital-based design of digital telecommunication electronics.

To develop FPGA requires an implementation of digital telecommunications equipment based test. This device testing method modifies an existing digital FM receiver ICs. The principle of the circuit is implemented into the VHDL language that has already had source code, but the source code still contains many algorithms programming error. Thus, in this final project, there is a verification of existing source coding and the addition of an analog device design, so the signal modulation frequencies can be sampled and received at FM receiver processing on FPGA-based digital radio.

In these FPGA devices testing, all blocks of communication systems in digital FM receiver can be implemented at FPGA. But FPGA need a device requires 8-bit ADC with a sampling frequency of at least 22 Mhz. The final project designs a program of digital PLL and audio codec with 48 KHz sampling frequency. Further testing will be developed to be the kit of digital- based communication systems practicum.

Keywords: Digital FM receiver, PLL digital, VHDL, FPGA.

BAB I PENDAHULUAN

1.1 Latar Belakang

Perkembangan sistem telekomunikasi digital semakin pesat, perangkat-perangkat yang mendukung segala kebutuhan manusia semakin bertambah. Di salah satu lembaga pendidikan telekomunikasi, mahasiswa mengembangkan ilmu pengetahuan telekomunikasi dengan mengikuti perkembangan-perkembangan teknologi. Disalah satu laboratorium sistem komunikasi, terdapat beberapa kit praktikum yang memiliki daya tahan performansi yang terbatas. Perangkat kit praktikum tersebut digunakan untuk pembelajaran pengetahuan proses pengolahan sinyal informasi pada perangkat telekomunikasi.

Metode perangkat kit praktikum yang digunakan pada laboratorium sistem komunikasi, masih dalam metode pengolahan sinyal analog. Selain itu daya tahan dalam penggunaan kit praktikum akan mudah rusak jika salah dalam penggunaannya. Sedangkan implementasi yang digunakan dalam perangkat telekomunikasi yang digunakan untuk kebutuhan manusia sudah berbasis digital. Maka dari itu perangkat kit praktikum laboratorium sistem komunikasi perlu dikembangkan menjadi berbasis digital. Perangkat kit praktikum berbasis digital ini, berguna agar pemahaman konsep sistem komunikasi berbasis digital dapat diimplementasikan dan dipahami oleh para mahasiswa. Untuk itu mahasiswa dapat beradaptasi dengan proses perancangan perangkat teknologi telekomunikasi pada masa kini.

Perangkat telekomunikasi berbasis digital mudah dioperasikan oleh mahasiswa. Oleh karena itu dalam proyek akhir ini, akan dilakukan suatu pengujian perangkat telekomunikasi satu arah. Perangkat telekomunikasi yang akan diujikan ini adalah desain penerima FM digital. Prototype yang akan digunakan adalah embedded sistem FPGA. FPGA dapat dioperasikan oleh *enduser* tanpa perlu proses pabrikasi ulang agar dapat digunakan sesuai fungsinya. Bahasa pendukung yang digunakan untuk perangkat FPGA adalah bahasa VHDL. Bahasa VHDL sangat mudah untuk dipahami. Setelah dilakukan pengujian desain penerima FM digital pada FPGA, selanjutnya desain ini akan dikembangkan menjadi blok-blok sistem komunikasi lainnya. Agar kebutuhan modul kit praktikum laboratorium komunikasi dapat terpenuhi.

1.2 Tujuan dan Manfaat

Beberapa tujuan dalam pengujian proyek akhir ini adalah :

1. Menguji performansi dari perangkat FPGA, agar dapat terlihat dari sisi kelayakan penggunaan desain *prototype* sistem komunikasi berbasis digital.
2. Mengembangkan perangkat kit praktikum untuk dijadikan satu *chip* saja.
3. Membuat satu *prototype* kit praktikum berbasis digital. Adapun manfaat dari hasil pengujian pada proyek akhir ini adalah :
 1. Dapat memberikan inspirasi untuk dijadikan judul-judul proyek akhir atau tugas akhir dalam membuat suatu perancangan sistem komunikasi sederhana.
 2. Dapat dijadikan suatu kit praktikum berbasis digital, dengan perangkat yang memiliki kemampuan daya tahan dengan jangka waktu yang lama.
 3. Dapat dikembangkan kembali menjadi suatu sistem kompleks dengan membuat desain elektronika komunikasi berbasis digital.

1.3 Rumusan Masalah

Permasalahan yang dijadikan objek pengujian dalam proyek akhir ini diantaranya adalah :

1. Apakah penerima FM radio dapat diimplementasikan kedalam perangkat FPGA?
2. *Source codec* apa sajakah yang akan digunakan untuk pengujian FPGA agar berfungsi sebagai sistem komunikasi penerima FM radio?

3. Bagaimana perubahan sinyal analog FM radio ini dirubah menjadi basis sinyal digital agar dapat diimplementasikan pada FPGA?
4. Apakah perlu perangkat khusus untuk mengolah sinyal FM pada blok RF penerima?
5. Bagaimanakah hasil pengujian dan verifikasi FPGA ini agar menjadi perangkat penerima FM radio Digital ?

1.4 Batasan Masalah

Batasan masalah yang akan dibahas pada proyek akhir ini, adalah hasil dari pengujian-pengujian yang sudah dilakukan dan verifikasi:

- a. Pengujian pertama menggunakan rangkaian analog sebagai pengolah sinyal *front circuit*, perangkat analog itu perlu karena proses sinyal analog tetap harus diolah menggunakan komponen analog.
- b. Pengujian kedua menggunakan ADC khusus, ADC yang direkomendasikan adalah IC ADCS7476MSPS. karena ADC tersebut memiliki nilai sampling sinyal frekuensi yang tinggi yang mampu menyampling lebih dari dua kali lipat sinyal info. Selain itu perlu juga IC external DAC khusus agar pengolahan sinyal digital dpat diubah kembali menjadi sinyal suara (sinyal analog). Rekomendasi IC DAC tersebut adalah DAC121S101. Dikarena sulit untuk mencari IC ADC dan DAC tersebut maka dilakukanlah metode pengujian lain.

1.5 Metodologi Penelitian

Metodologi Penelitian yang digunakan dalam merealisasikan tujuan dan perumusan masalah dalam Proyek Akhir ini adalah :

1. Studi Literatur
Mempelajari permasalahan yang berkaitan dengan pengujian konsep dari bahasa *VHDL* dan teori *programming* lainnya seperti *bahasa C / Matlab* yang mendukung proses pengujian perangkat FPGA.
2. Konsultasi dengan dosen pembimbing
Berkonsultasi dengan dosen pembimbing mengenai spesifikasi sistem dari Proyek Akhir yang akan dirancang serta verifikasi yang dilaksanakan dalam perancangan tersebut.
3. Pengembangan perangkat FPGA dengan menampilkan aplikasi FM radio penerima dengan tahapan sebagai berikut :
 - a. Perencanaan
Pada tahapan ini dilakukan pembuatan langkah-langkah yang harus ditempuh agar proses pengujian perangkat lebih terstruktur dan sistematis, sehingga tujuan akhirnya dapat dicapai secara optimal.
 - b. Persiapan
Tahapan ini berisi kegiatan pencarian dan pengumpulan data sheet IC FM demodulator yang berhubungan dengan pengujian penerima FM digital kedalam perangkat FPGA.
 - c. Perancangan
Menentukan rancangan desain tampilan beserta sistem komunikasi yang akan diterapkan pada FPGA sesuai dengan tujuan yang ingin dicapai merupakan proses-proses yang dilakukan pada tahapan ini
 - d. Implementasi
Pada tahap ini dilakukan proses implementasi dan realisasi dari sistem komunikasi yang akan dirancang kedalam FPGA dengan menyesuaikan rumusan sebelumnya.
 - e. Pengujian
Merupakan tahapan inti terakhir dari pengujian perangkat FPGA untuk mencoba aplikasi FM radio penerima, pengujian yang dilakukan yaitu mengetes hasil perangkat audio / suara yang diinginkan sesuai dengan fungsi dari blok sitem komunikasi.

1.6 Sistematika Penulisan

Adapun sistematika penulisan dalam menyelesaikan proposal Proyek Akhir ini dibagi dalam beberapa bab yaitu:

BAB I : PENDAHULUAN

Menjelaskan mengenai latar belakang, rumusan masalah, tujuan dan kegunaan, batasan masalah, metodologi penelitian dan sistematika penulisan.

BAB II : DASAR TEORI

Pembahasan mengenai dasar teori yang berkaitan dengan pembuatan Proyek Akhir seperti Gerbang Logic, sistem komunikasi, VHDL, FPGA Embanded system juga elektronika komunikasi beserta *tools* yang mendukung aplikasi pengujian.

BAB III : PERANCANGAN SISTEM
 Model perangkat yang digunakan, desain sistem yang akan diujikan dan verifikasi. cara kerja sistem, diagram alir dari proses kerja sistem dan hasil keluaran sistem yang diharapkan merupakan beberapa poin yang akan dijelaskan secara detil pada bab ini

BAB IV : PENUTUP

Berisikan tentang keluaran yang diharapkan pada pengujian perangkat Proyek Akhir berjudul ” PENGUJIAN DAN VERIFIKASI DESAIN PENERIMA FM DIGITAL PADA FPGA” sebagai kesimpulan sementara untuk mendukung tujuan yang diharapkan.

**BAB 2
 DASAR TEORI**

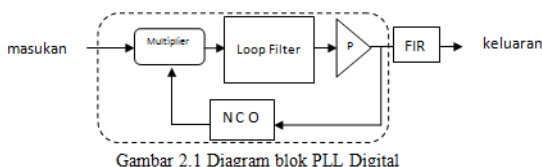
2.1 Sistem komunikasi penerima FM Digital

Blok sistem komunikasi penerima FM yang akan diuji yaitu berbasis digital, untuk itu harus diperhatikan blok-blok sistem komunikasi penerima FM yang biasanya berbasis analog untuk *convert* kedalam transmisi sinyal digital. Dalam pengujian ini desain dari sirkuit FM *receiver* Digital ini menggunakan *Phase Locked Loop* (PLL) sebagai inti utama. PLL bertugas untuk mempertahankan koherensi antara frekuensi sinyal yang masuk (termodulasi) dengan frekuensi output masing-masing melalui fase perbandingan.

Frekuensi sinyal input termodulasi diasumsikan sebagai serangkaian nilai-nilai numerik (sinyal digital) melalui 8-bit analog ke digital (ADC) sirkuit. Penerima FM mendapat sinyal 8 bit setiap siklus clock dan output sinyal didemodulasi output 12 bit. Selanjutnya setelah frekuensi terkunci, masuk kedalam blok sound processing sebagai pengolahan sinyal digital menjadi suara.

2.1.1 Arsitektur blok sistem PLL digital.

Diagram blok sistem PLL Digital dibawah ini mendeskripsikan step-step pengolahan sinyal frekuensi yang akan diolah kedalam FPGA. Blok sistem ini terdapat Fase Detektor, Loop Filter, Penguat, Numerikal Control Osilator dan Low Pass Filter. Fungsi khusus dari PLL digital ini yaitu sebagai pengunci phase bilangan digital yang dibutuhkan pada sinyal penerima FM radio. Blok yang biasanya sebagai FIR (Finite impulse Respon) ini terdapat diluar blok PLL, jadi bagian khusus pada PLL hanya multiplier, loop Filter, dan NCO. Setelah keluar dari PLL maka akan di filter oleh FIR.

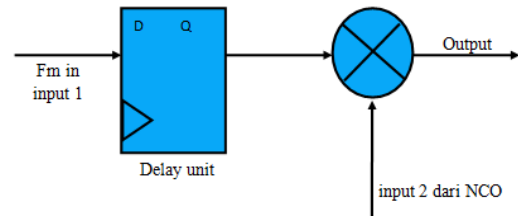


Gambar 2.1 Diaqram blok PLL Digital
http://www.ie.u-ryukyu.ac.jp/~wada/design05/spec_e.html

Pembahasan pada Gambar 2.1 akan dilanjutkan kedalam subBab berikutnya.

2.1.2 Multiplier

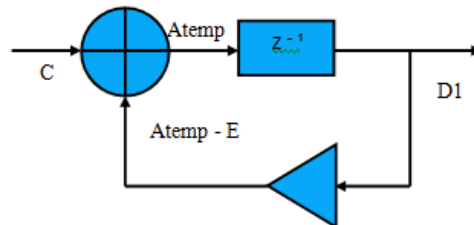
Multiplier atau disebut juga dengan Fase Detektor (PD), blok ini adalah bagian awal pengolahan masukan PLL. Fase detector berfungsi untuk mengunci fase dengan menggabungkan kedua sinyal yang berasal dari masukan awal Fm in dan Numerikal control osilator. Prinsip kerja pada fase detector ini yaitu seperti cara kerja gerbang XOR. Tetapi kelebihanannya dari pada multiplier ini, yaitu dapat mengunci fase yang dikombinasikan dengan output NCO agar channel yang dipilih sesuai dengan masukan awal. Pada gambar 2.2 terdapat blok delay unit, blok ini berfungsi sebagai penahan input satu agar fase awal dapat terkunci oleh sinyal yang sudah terkontrol dari sinyal numerikal kontrol osilator. Fase yang sudah terkunci adalah channel frekuensi yang sudah dipilih untuk mengambil dan mengolah sinyal informasi dari salah satu channel yang dipilih.



Gambar 2.2 Blok diagram dari multiplier sebagai Fase Detektor
http://www.ie.u-ryukyu.ac.jp/~wada/design05/spec_e.html

2.1.3 Loop Filter

Fungsi dari Loop filter sebagai penghampus nilai frekuensi tinggi, loop filter ini akan mendeteksi fase dan frekuensi yang belum terkunci oleh fase detector. Untuk itu sinyal akan dikirimkan ke NCO (Numerical Control Oscillator) agar lebih terarah. Perhatikan Gambar 2.3 blok diagram loop filter, terlihat bahwa $A_{temp} - E$ yang dimaksud adalah sinyal informasi yang sudah terlepas dari error.

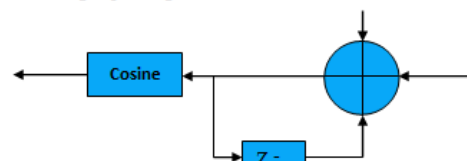


Gambar 2.3 Blok diagram Loop Filter
http://www.ie.u-ryukyu.ac.jp/~wada/design05/spec_e.html

Selain itu fungsi dari loop filter ini meloloskan bilangan bit yang sudah terkoreksi dan fase yang terkunci. jika setelah diloopkan nilai tersebut masih belum sesuai dengan bilangan numerik fase yang dipilih maka sinyal keluaran dari loop filter akan dikirim ulang ke Numerikal Kontrol Osilator.

2.1.4 Numerikal Kontrol Osilator

Numerikal kontrol osilator ini berfungsi untuk mengkoreksi kesalahan bilangan digital dan kemudian menggeser sinyal frekuensi yang keluar dari loop filter agar blok PLL tetap terjaga sesuai channel frekuensi yang dipilihnya. Maka dari itu blok ini juga dikatakan sebagai pembagi fase.

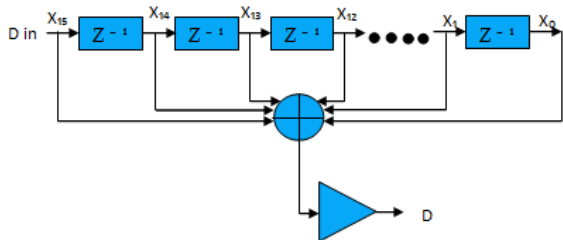


http://www.ie.u-ryukyu.ac.jp/~wada/design05/spec_e.html
 Gambar 2.4 Blok Diagram NCO

Blok ini mengkoreksi nilai bit digital, bukan seperti VCO yang biasanya mengkoreksi nilai tegangan pada sinyal yang diloop-nya. Untuk karena itu sinyal digital yang masuk kedalam blok ini terdapat nilai digital yang numeric. Maksud dari numeric disini adalah adanya bilangan digital yang bernilai negative dan ada pula bilangan digital yang bernilai positif. Hal ini dilakukan karena prinsip kerjanya sama dengan blok analog seperti cara kerja Voltage Control Osilator.

2.1.5 FIR Filter

Tahap terakhir dari sistem penerima untuk membentuk sinyal informasi yaitu blok FIR. Finite impulse response, blok ini berfungsi untuk menggabungkan deretan fase yang sudah terkunci. Fase tersebut didapat dari nilai channel frekuensi yang sudah dipilih oleh PLL digital awal masukan. Maksud dari Z^{-1} adalah masukan antar deretan masukan awal sampai deretan terakhir dengan jumlah proses data sejumlah 16bit didalamnya, sedangkan input output dari blok FIR ini hanya 12 bit. Maka dari itu sisa bit data dari 16 bit yang diproses adalah bit data penggabung antara fase awal yang diterima dengan fase kedua yang sudah dikoreksi. FIR ini hanya digunakan pada filter sinyal berbasis digital, yang selanjutnya akan diproses menjadi sinyal suara.



Gambar 2.5 Blok diagram FIR filter

http://www.ie.u-ryukyu.ac.jp/~wada/design05/spec_e.html

2.2 Pengertian Dasar VHDL

VHDL adalah kependekan dari Very High Speed Integrated Circuit Hardware Description Language, yaitu bahasa pemrograman yang digunakan untuk mendeskripsikan logic circuit yang dikehendaki. Secara umum struktur dari pemrograman VHDL terdiri atas dua bagian yaitu bagian ENTITY dan bagian Architecture. Bagian ENTITY menjelaskan spesifikasi pin-pin eksternal yang digunakan dari circuit atau rancangan yang akan dibuat. VHDL merupakan suatu bahasa pemrograman tingkat tinggi yang di gunakan untuk memprogram suatu IC digital PLD (Programmable Logic Device). Dimana terdiri atas sejumlah gerbang-gerbang yang dapat diprogram dengan cara memutuskan fuse yang terdapat pada IC tersebut. Seperti bahasa pemrograman yang lain, VHDL memiliki aturan-aturan tersendiri seperti sistematika pemrograman sampai dengan syntax yang digunakan. Teknologi VHDL ini terbagi berdasarkan jumlah gate yang ada, yaitu :

- a. < 500 gerbang SPLD (*Simple Programmable Logic Device*)
- b. 500 sampai 5000 gerbang CPLD (*Complex Programmable Logic Device*)
- c. 5000 sampai 10.000 gerbang FPGA (*Fast Programmable Gate Array*)
- d. 10.000 sampai > 20.000 gerbang ASIC (*Application Specific Integrated Circuit*)

2.3 FPGA

Beberapa pembahasan tentang FPGA akan diulas sesuai dengan spesifikasi dan cara konfigurasi dalam pengaplikasiannya.

2.3.1 Perangkat FPGA

FPGA merupakan kepanjangan dari *Field Programmable Gate Array* yaitu *programmable device* besar yang tersusun atas gerbang-gerbang logika independen yang dapat di

konfigurasi oleh pemakai yang di hubungkan melalui kanal-kanal routing yang dapat di program.

FPGA mempunyai kelebihan sebagai berikut :

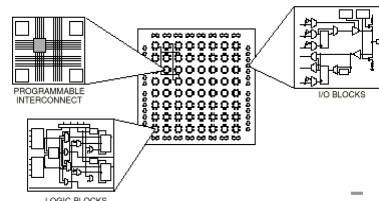
- a. Dikonfigurasi oleh *End User*
 - b. Tidak memerlukan proses pabrikasi
 - c. Tersedia solusi yang mendukung *chip customized VLSI*
- FPGA sendiri merupakan IC tipe HDL yang mana pemakai dapat mendesain *hardware* sesuai yang diinginkan di dalam IC FPGA. Sedangkan perkembangan FPGA pada saat ini berlangsung dengan cepat dan dewasa ini terdapat bermacam-macam keluarga *FPGA* dengan kebutuhan perancangan dan perangkat perancangan (*design tools*) yang berbeda. Xilinx merupakan salah satu perusahaan yang memproduksi *FPGA* disamping perusahaan lain yang juga memproduksi *FPGA* seperti ACTEL dan PLESSEY *Semiconductor*. Xilinx sendiri memproduksi beberapa jenis *FPGA* yaitu VIRTEX, SPARTAN, XC3000, XC4000 dan XC5000.

2.3.2 Arsitektur FPGA

Secara umum arsitektur dari IC FPGA terdiri atas tiga elemen utama yaitu:

Configurable Logic Block (CLB), *Interkoneksi* dan *Input/Output Blok (IOB)*

- a. *Configurable Logic Blocks* :
 - Look up table based complex structure
 - Implement the sequential circuit
- b. *Programmable Interconnect* :
 - Berisi wire segments dan programmable switches
 - Menghubungkan anata *Configurable Logic Blocks* yang berbeda
- c. *Input/output block* :
 - Sebagai interface antara external package pin dari device dan internal user logic



Gambar. 2.6 Arsitektur FPGA

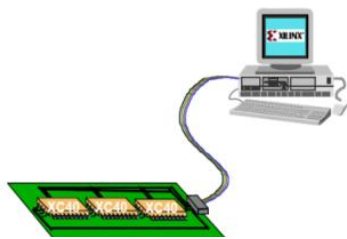
Fungsi logika dan interkoneksi FPGA ditentukan oleh data yang tersimpan pada sel memori statik internal. Ada beberapa cara untuk membuat data konfigurasi ke dalam sel memori ini, baik yang dilakukan secara otomatis pada waktu catu daya diberikan maupun dengan membaca konfigurasi data dari *eksternal Serial* atau *byte Paralel PROM (mode master)* atau Data dapat dituliskan pada FPGA dari *external device (mode slave dan peripheral)*.

2.3.3 Proses Implementasi FPGA

Beberapa Proses pengimplementasian pada perangkat FPGA diantaranya :

- a. FPGA diimplementasikan dengan *efficient CAD systems*
- b. *Design Entry* dapat dilakukan dengan beberapa cara, diantaranya :
 - Schematic capture program,
 - VHDL / Verilog
- c. *Logic Optimization*
 - Memodifikasi *Boolean Expression* untuk mengoptimalkan penggunaan
 - Logic berbasis area dan kecepatan atau kombinasi keduanya
- d. *Technology Mapping*
 - Transformasi dari *Boolean Expression* atau VHDL kedalam bentuk circuit pada FPGA logic blocks

- *Area optimization* – meminimalkan penggunaan *block*
- *Delay optimization* – meminimalkan jumlah *stage* pada *critical path*
- e. *Placement*
 - Setelah pemetaan sirkuit ke blok logika algoritma penempatan digunakan untuk menempatkan setiap blok dalam array FPGA. Biasanya meminimalkan total panjang yang dibutuhkan untuk penempatan interkoneksi
- f. *Routing software*
 - Mengatur FPGA's *wire segments* dan menentukan *programmable switches* untuk menghubungkan antar FPGA *blocks*
 - Memastikan 100% *connections* telah terbentuk
 - Meminimalkan delay propagasi pada *time-critical connections*
- g. *Programming unit*
 - Mengkonfigurasi *chip* setelah *placement & routing* step tuntas
 - Keseluruhan proses memakan waktu beberapa menit sampai beberapa jam
- h. *Programmable Logic - Design Flow.*
- i. *Design Entry* dengan cara schematic, ABEL, VHDL, dan/atau Verilog.
- j. Implementasi yaitu *Placement & Routing* dan *bitstream generation*. Juga, *analyze timing*, *view layout*.
- k. Upload bitstream ke Hardware (FPGA chip).



Gambar 2.7 Implementasi FPGA

2.3.4 Aplikasi FPGA

- Ada beberapa cara pengaplikasian FPGA, diantaranya :
- a. Prototyping : Ideal untuk aplikasi pembuatan prototype.
 - b. On-site re-configuration of hardware: Untuk aplikasi hardware yang bisa dikonfigurasi ulang secara cepat.
 - c. FPGA-based computation engines.
 - d. FPGA sebagai processor aplikasi komputasi.

BAB 3 PERANCANGAN

Pengujian adalah suatu proses untuk mencari hasil fungsional dari spesifikasi perangkat sistem yang akan dibangun kedalam bentuk yang dapat diimplementasikan berupa gambar/grafik ataupun bahasa. Pada proyek akhir ini akan dilakukan **PENGUJIAN DAN VERIFIKASI DESAIN PENERIMA FM DIGITAL PADA FPGA** yang bertujuan agar dapat mengetahui hasil dari kualitas perangkat FPGA sebagai radio penerima FM digital.

3.1 Spesifikasi Software

Software yang akan digunakan yaitu Xilinx ISE Design Suite 13.2. Software Xilinx ini merupakan software khusus untuk mendesain kode-kode dengan menggunakan bahasa VHDL. Selain itu ada pula software Modelsim 6.3, yang berguna untuk mensimulasikan hasil program yang sudah diverifikasi di software

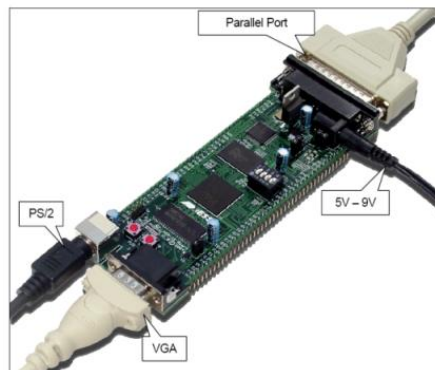
xilinx sebagai percobaan sementara sebelum hasil program dimasukan kedalam perangkat FPGA. Tetapi pada implementasinya software Xilinx ISE Design Suite 13.2 pun dapat melakukan simulasi, seperti testbench dengan masukan bit pada program.

3.2 Spesifikasi Perangkat

Dalam pengujian perangkat ini tentunya membutuhkan penjelasan spesifikasi perangkat, agar mudah untuk memahami dan menggunakan perangkat tersebut. Ada dua buah papan yang akan digunakan pada pengujian ini, diantaranya:

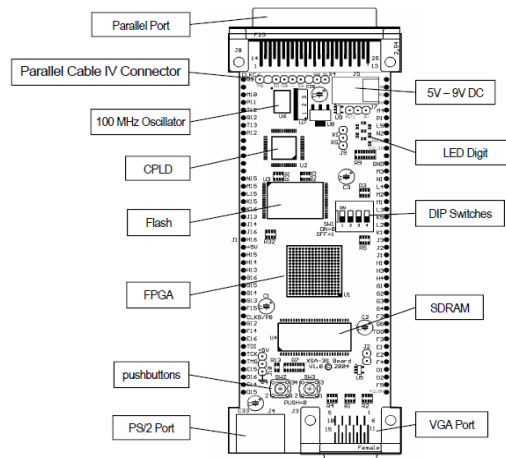
3.2.1 XSA-3S1000

Nama perangkat FPGA Xilinx Spartan 3 yang digunakan yaitu XSA-3S1000. Pada papan ini sebagai tempat khusus penyimpanan pusat memori – memori FPGA. Selain itu pada XSA-3S1000 ini dapat menghubungkan dengan konektor khusus yang biasa digunakan pada komputer. Port yang digunakan untuk memasukan data yaitu port parallel. Dan catuan daya pada XSA-3S1000 sebesar 5 – 9 Volt.



Gambar 3.1 XSA-3S1000

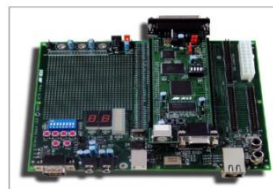
Beberapa nama bagian khusus pada perangkat FPGA Xilinx Spartan 3 (XSA-3S1000) ini dapat dilihat pada gambar 3.2



Gambar 3.2 Pengaturan komponen pada Board XSA-3S1000.

3.2.2 Xstend Board

Jika XSA board sebagai tempat pusatnya penempatan FPGA dan memori khusus lainnya, sedangkan Xstend board ini berfungsi sebagai keluaran dan masukan dari fungsi sistem yang dibutuhkan. Seperti pada Gambar 3.3 Pemasangan XSA pada Xstend Board memperlihatkan pemasangan XSA board pada Xstend board.

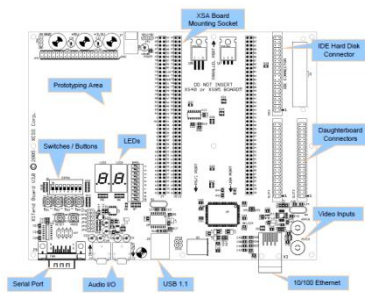


Gambar 3.3 Pemasangan XSA pada Xstend Board

Papan XSA memberikan fleksibilitas biaya rendah yang memiliki metode *prototyp* desain FPGA. Namun ukuran kecil fisik mereka membatasi jumlah sirkuit dukungan yang mereka butuhkan. Xstend board memperluas jangkauan aplikasi dari Papan XSA dengan menyediakan dukungan tambahan sirkuit seperti berikut:

- Pemasangan soket yang menyediakan antarmuka utama antara FPGA pada XSA board dan papan komponen Xstend.
- Tambahan *bargraph* LED dan LED digit untuk digunakan sebagai perangkat output sederhana.
- DIP switch dan *pushbuttons* yang melayani perangkat input yang sederhana.
- Codec stereo dengan kiri / kanan input / output untuk aplikasi DSP saluran audio.
- Header female ganda 20 × 2 papan memungkinkan penambahan modul-modul eksternal dengan yang baru kemampuan.
- Sebuah 2,75 "x 2,75" *prototyp* area di mana sirkuit kustom dapat dibangun.

Lokasi dari sirkuit yang memberikan kemampuan yang luas ini ditunjukkan pada tata letaknya. Masing-masing komponen dan interkoneksi mereka akan dijelaskan dalam Gambar 3.4 berikut.

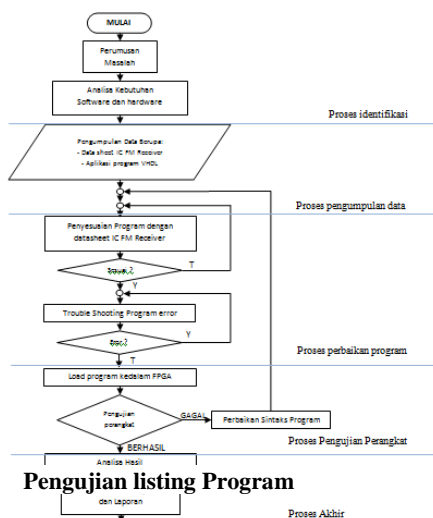


Gambar 3.4 Board Interface Xstend.

Namun pada bagian board ini hanya beberapa komponen saja yang akan digunakan untuk pengujian FM penerima digital ini, diantaranya :

- Audio input sebagai penghubung konektor female, untuk pemasangan komponen FM tuner.
- Audio output sebagai keluaran dari hasil suara radio FM pada frekuensi tertentu.
- Soket XSA board, sebagai penghubung antara board XSA dan Xstend board.

3.3 Perancangan Pengujian



3.4 Pengujian listing Program

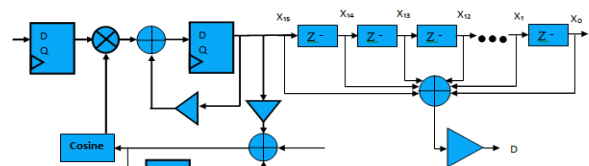
Pada bagian ini akan mengulas dan memfokuskan bagian yang akan diujikan kedalam FPGA, sebagai parameter keberhasilan pengujian.

3.4.1 Pengujian Audio codec

Perangkat FPGA hanya dapat mengolah sinyal yang berbasis digital, tentunya sinyal analog dari masukan FM tuner perlu diubah kedalam sinyal digital. Maka diperlukan blok ADC sebagai pengubah sinyal analog menjadi sinyal digital. Dalam pengujian ini menggunakan ADC audio codec. Frekuensi sampling dari audio codec ini hanya 48 Khz sedangkan yang dibutuhkan sebetulnya $F_s = 2.F_c$, maka dari itu hal ini perlu lebih diperdalam dalam pengubahan algoritma pada audio codec agar $F_s = 2 F_c$.

3.4.2 Pengujian Blok Diagram PLL Digital.

PLL digital sistem terdiri dari empat bagian dasar: multiplier, loop filter, NCO, FIR. Diagram blok lengkap dari sirkuit PLL digital ini ditunjukkan pada Gambar 3.6. Pada blok PLL digital ini yang berintegrasi yaitu bilangan digital dengan 8 bit masukan dan keluaran 12 bit.

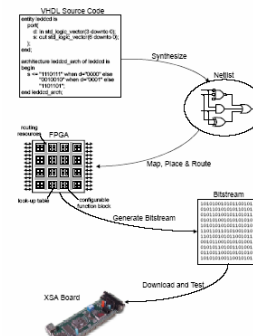


Gambar 3.6 Blok PLL sistem digital.

Gambar 3.6 adalah perencanaan pada bagian blok PLL digital dengan sinyal masukan awalnya yaitu sinyal analog, jadi sebelumnya sinyal masukan sebelum blok ini harus terlebih dahulu dikonversikan kedalam digital. Pengkonversian sinyal akan dilakukan pada blok ADC (Analog to Digital Converter), Frekuensi Sampling minimum pada blok ADC tersebut adalah 22Mhz. Setelah dilakukan pengolahan sinyal pada PLL maka perlu pencuplikan sinyal kembali kedalam analog, maka dilakukan DAC agar sinyal tersebut dapat menjadi sinyal informasi (suara).

3.5 Proses Pengaplikasian Pemograman VHDL pada FPGA

Pada bagian ini menyimpulkan cara kerja perancangan yang biasa dilakukan pada FPGA, diawali dengan VHDL Source Code sebagai bahasa pemograman yang dapat di implementasikan kedalam FPGA. Selanjutnya pengevaluasian *Netlist* sebagai datasheet teori dasar untuk menyamakan kebutuhan sistem dengan bahasa VHDL yang sudah dimanipulasi. Setelah program sesuai tanpa *error*, maka dilanjutkan kedalam pemetaan port yang akan digunakan pada FPGA. Setelah itu dilakukan Bitstream nilai digital agar dapat dibaca pada perangkat FPGA. Setelah semuanya dilakukan maka Perangkat siap diujikan. Proses terakhir yaitu neting.ucf, port IOB yang perlu ditentukan dengan datasheet XStend Board V3.0.



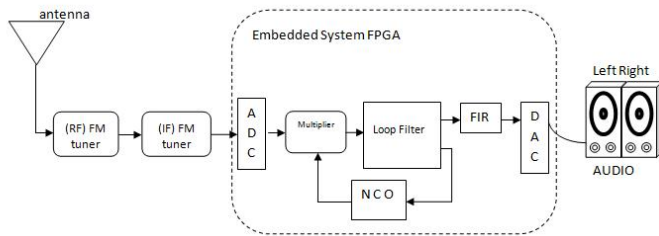
Gambar 3.7 Pengaplikasin Program VHDL kedalam FPGA

3.6 Perancangan Blok External

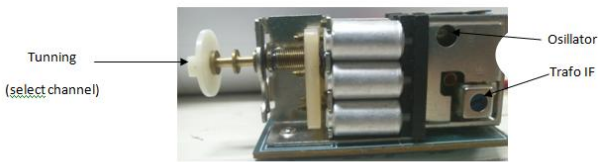
Pada bagian ini menjelaskan metode perancangan dengan menggunakan tuner analog. Tuner analog ini berfungsi sebagai pilihan channel frekuensi pada khususnya dan mengubah sinyal RF menjadi sinyal IF. Sinyal IF ini yang akan diproses kedalam demodulasi pada IC LA1260. Pengolahan pada IC tersebut masih pengolahan dalam bentuk analog, maka dari itu perlu dilakukan

proses digitalisasi sebelum diimplementasikan kedalam FPGA yang *base digital*.

Perancangan ADC pada FPGA ini menggunakan source coding audio codec yang biasa digunakan untuk mengolah sinyal suara. Tetapi source coding audio codec ini memiliki kekurangan dalam penyamplingan sinyal IF tersebut, karena frekuensi sampling pada audio codec hanya 48 Khz sedangkan frekuensi sampling yang kita butuhkan adalah 2 kali dari sinyal yaitu 2 kali 10,7 Mhz.



Gambar 3.8 Perancangan tuner analog



Gambar 3.9 FM Tuner Analog

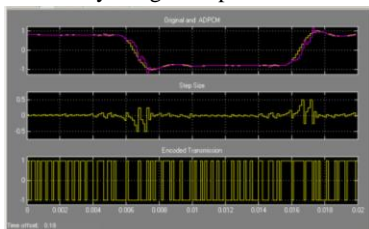
BAB 4

SIMULASI DAN IMPLEMENTASI FM DIGITAL

Hasil simulasi sebelum diujikan kedalam perangkat FPGA, tentunya harus dianalisis terlebih dahulu dalam beberapa software yang mendukung kebutuhan pengujian FM Digital di FPGA. Simulasi ini menggunakan dua metode yang sudah biasa dilakukan, pertama simulasi menggunakan software matlab untuk melihat sinyal sampling hasil dari pengkuantisasian sinyal. Selanjutnya simulasi dilakukan pada software yang mendukung kinerja FPGA yang digunakan untuk mengolah bahasa pemrograman VHDL.

4.1 Simulasi audio.wav pada Matlab 2010b

Untuk memahami bagaimana sinyal yang masuk nanti akan disampling, maka dilakukan simulasi suara yang direkam dalam bentuk format “.wav” agar file data suara tersebut dapat diolah dengan menggunakan software Matlab. Suara yang direkam tersebut sebagai salah satu contoh pengolahan sinyal yang akan disampling dan kinerja tersebut hampir mirip dengan kinerja yang akan diimplementasikan pada FPGA. Hasil rekam yang disampling akan menghasilkan sinyal digital seperti Gambar 4.1.



Gambar 4.1 Simulasi Analog to Digital Conversion

Hasil dari penyamplingan tersebut akan di *Lowpass filter* yang fungsinya hampir sama seperti blok sistem komunikasi pada penerima sinyal yang ditumpangkan pada sinyal carrier tersebut diturunkan menjadi sinyal informasi yang dibutuhkan. Sehingga dari hasil simulasi ini kita dapat mengetahui bagaimana kinerja yang akan dilakukan pada software Xilinx untuk mendesain rangkaian yang akan diimplementasikan pada FPGA.

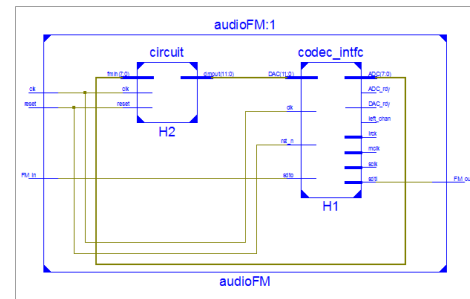
4.2 Hasil sintesis pada software Xilinx ISE Design Suite

Sebelum pengimplementasian program FM *receiver* kedalam perangkat FPGA, maka sebelumnya perlu dilakukan simulasi. Simulasi ini berupa masukan bilangan bit digital yang diproses berdasarkan fungsi masing-masing blok. Blok yang digunakan dalam simulasi ini adalah blok PLL digital yang didalamnya terdapat (*NCO, Multiplier, LoopFilter, FIR*) Ini gambar dari hasil keseluruhan blok program yang sudah digabungkan pada FPGA.



Gambar 4.2 Desain penerima FM digital

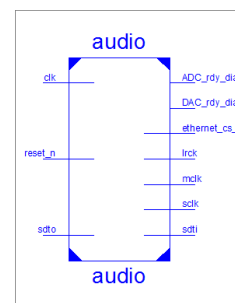
Pada blok ini memiliki nilai masukan 8 bit dan keluaran 12 bit, blok ini digabungkan untuk memenuhi kriteria fungsi dari keseluruhan blok penerima FM digital pada FPGA sebagai pengkonversi sinyal analog yang dapat diolah FPGA yang berbasis digital. Hubungan antara audio codec dan PLL digital dapat dilihat pada Gambar 4.3.



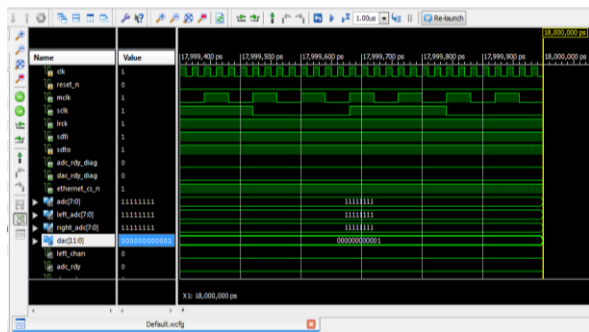
Gambar 4.3 Gabungan dari audio codec dan PLL digital

4.2.1 Simulasi Desain audio codec

Sebelum sinyal analog masuk kedalam FPGA maka perlu dilakukan penyamplingan sinyal digitalisasi pada blok ADC dengan hasil keluaran 8 bit, setelah sinyal informasi diolah oleh PLL digital maka dilakukan kembali konversi sinyal digital menjadi analog menggunakan DAC dengan keluaran 12 bit. Gambar 4.4 merupakan input-output dari blok *audio codec*.



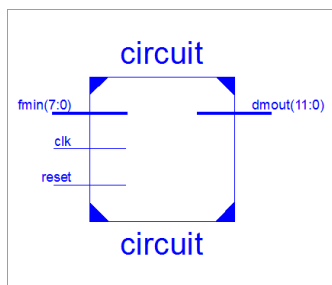
Gambar 4.4 blok audio codec



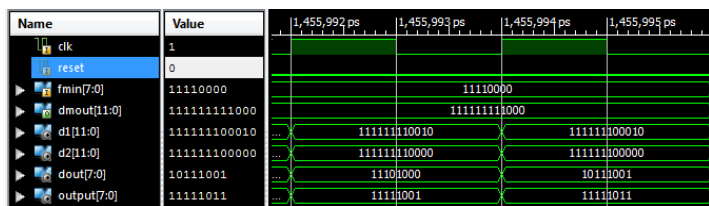
Gambar 4.5 hasil simulasi blok audio

4.2.2 Simulasi Desain dari PLL digital

Blok terpenting dalam Proyek Akhir pengujian dan verifikasi penerima FM radio digital pada FPGA ini yaitu blok PLL, blok ini berperan penting sebagai pengolahan sinyal informasi dengan mengolah sinyal digital. Sebelum melakukan penggabungan dengan blok ADC dan DAC maka perlu simulasi pengujian code PLL digital tersebut. Gambar 4.6 adalah blok keseluruhan dari circuit PLL digital, urutan dari gambar blok tersebut ialah multiplier > loopfilter > NCO > FIR.



Gambar 4.6 Blok PLL digital



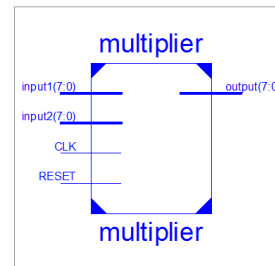
Gambar 4.7 Test bench PLL digital

Nilai input output bit pada PLL yaitu dengan masukan 8 bit dan keluaran 12 bit. Hasil simulasi dapat dilihat pada akhir dmout yang memiliki nilai 12 bit dengan biner 11111111000. Pengolahan bilangan digital pada blok PLL ini sudah berhasil mengolah sinyal informasi secara digital. Untuk melihat gambar lebih jelas dalam blok-blok yang digunakan oleh PLL digital ini maka dilakukan simulasi tiap-tipa blok.

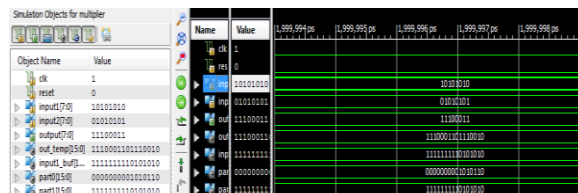
4.2.3 Multiplier

Pada blok PLL, bagian pertama yang menerima sinyal informasi digital adalah blok multiplier. Multiplier sebagai blok pengali sinyal masukan awal dan pengali sinyal yang sudah diperbaiki oleh NCO. Dapat dilihat dari hasil testbench, bahwa hasil dari keluaran blok multiplier sama dengan metode gerbang logika XOR. Pada gambar 4.9 dapat dilihat input1[7:0] adalah masukan dari FM_in dan input2 adalah masukan dari blok NCO. Dimana blok NCO tersebut bekerja untuk membuat lawan fase dari FM_in. Misalkan dalam proses pengolahan sinyal analog input1

membuat sinyal sinus sedangkan sinyal input dua membuat sinyal keluaran cosinus maka dari itu fungsi dari multiplier sebagai penggabung kedua fase yang berbeda yang dikalikan lalu dikunci pada fase tertentu.



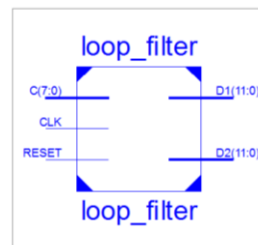
Gambar 4.8 Blok multiplier pada PLL



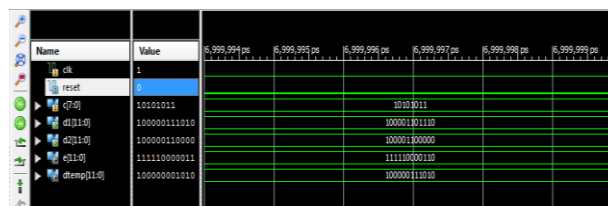
Gambar 4.9 Test bench multiplier

4.2.4 Blok loop filter

Pada blok ini berfungsi sebagai pemisah antara sinyal informasi tanpa error dan informasi error. Jika terdeteksi sinyal informasi yang error maka akan di looping kembali dan dikoreksi untuk mendapatkan nilai digital yang terbaik. Pada blok loop filter memiliki satu nilai masukan dengan 8 bit, dan dua keluaran yang masing-masing 12 bit.



Gambar 4.10 Blok loop filter

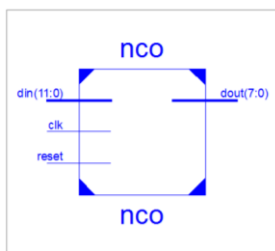


Gambar 4.11 Test bench Loop Filter

Pada gambar 4.11 dapat terlihat bahwa hasil dari keluaran dari d2[11:0] belum memiliki nilai hasil fase yang terkunci. Terlihat pada empat digit terakhir d2[11:0] hasil dari loop filter tersebut bernilai nol. Maksud dari sini adalah nilai yang tergambarkan setelah melakukan proses loop filter nilai digital masih belum terkunci dan terlihat sebagai prosesing perubahan menjadi suara. Untuk itu sinyal keluaran dari d2[11:0] harus dikirim ulang dan dikoreksi kembali kedalam blok NCO, agar nilai dari penguncian fase phase detector dapat tercapai sesuai dengan fungsionalnya.

4.2.5 NCO (Numerikal Control Osilator)

Pengontrol bilangan digital ini dinamakan NCO (Numerikal Control Osilator). Informasi digital yang terdeteksi error oleh loop filter dikirimkan ke NCO, pengontrolan bilangan digital ini disamakan dengan nilai digital dari nilai hasil biner 1 (00000001) sampai 256 (11111111). Masukan awal dari NCO adalah 12 bit dan keluaran dari NCO 8 bit. 4 bit yang terbuang tersebut adalah nilai bit yang tidak digunakan atau sisa bit error. Nilai hasil 8 bit keluaran tadi akan dimasukkan kembali kedalam *multiplier*. Proses dalam blok NCO ini bekerja seperti pemilihan delapan bit bilangan yang menyerupai nilai 0 sampai 256. Blok ini memiliki *database* nilai tersendiri untuk berfungsi sebagai pengontrolan sinyal digital.



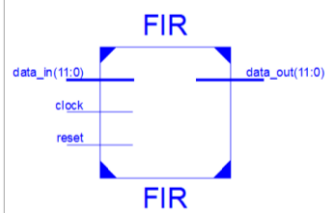
Gambar 4.12 Blok NCO (Numerikal kontrol Osilator)



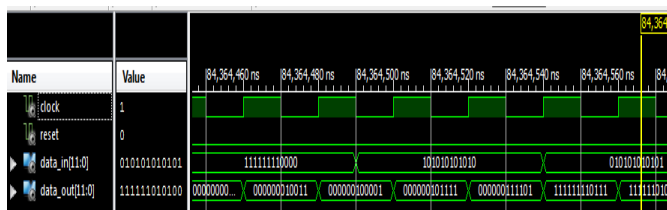
Gambar 4.13 Test bench NCO (Numerikal kontrol Osilator)

4.2.6 FIR (Finite Impulse Response)

Bagian terakhir dari blok PLL digital ini adalah FIR (Finite Impulse Response) yang berfungsi untuk melakukan pass filter digital rendah. Dengan masukan 12 bit, FIR melakukan penurunan sinyal digital agar sinyal tersebut dapat sesuai dengan sinyal informasi (*baseband*). Blok ini hanya berfungsi untuk memfilter sinyal digital saja. Begitu pula metode yang digunakan dalam blok ini adalah menggabungkan kedua fase yang berbeda waktu pengunciannya agar sinyal informasi yang diterima tidak terputus-putus. Jadi metode dari FIR ini menjumlahkan nilai sinyal digital pada waktu yang sekarang dan yang sebelumnya.



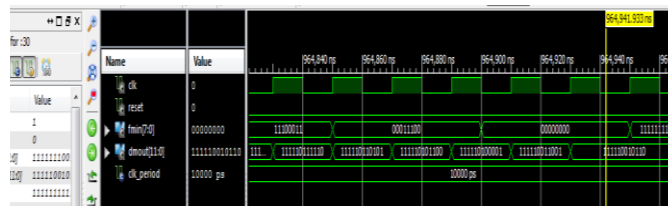
Gambar 4.14 Blok FIR (Finite Impulse Response)



Gambar 4.15 simulasi FIR (Finite Impulse Response)

4.2.3 Gabungan Audio Codec dengan PLL digital.

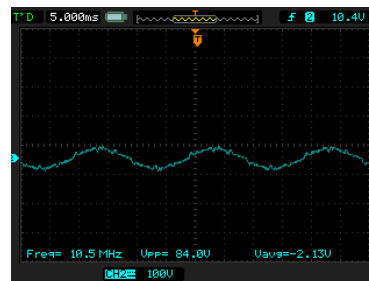
Sinyal analog hasil dari penurunan frekuensi disampling melalui blok ADC 8 bit dengan nilai sampling minimal dua kali sinyal info. Setelah melakukan penyamplingan maka dilakukan pengalihan sinyal awal dengan hasil sinyal digital yang sudah diloopkan dan dikontrol oleh NCO. Sinyal dari hasil looping yang terbaik dari loop filter, maka diteruskan melalui blok FIR sebagai penurunan sinyal digital. Terakhir setelah dilakukan penurunan sinyal digital maka dilakukan kembali penyamplingan sinyal digital menjadi analog melalui blok DAC 12 bit.



Gambar 4.16 Hasil Keluaran Simulasi Penerima FM Digital

Simulasi ini menggabungkan hasil kedua *source coding* PLL digital dan *audio codec* sebagai penerjemah sinyal analog dan digital. Keberhasilan hasil simulasi ini dapat terlihat pada keluaran FM_out, setelah menerima reset = Hi (1) maka sinyal data masuk dan clock merubah sinyal data masuk, menjadi nilai 12 bit (111100111000) sebagai FM_out setelah menerima reset = LO (0).

4.3 Pengukuran sinyal perangkat FM tuner pada Oscilloscope



Gambar 4.17 Pengukuran sinyal FM pada oscilloscope

Pada pengukuran sinyal FM tersebut nilai range sinyal RF adalah 88-108Mhz. Nilai pengujian frekuensi keluaran dari perangkat tersebut tentunya setelah melewati keramik Filter dengan nilai 10.5Mhz dan nilai keramik Filter tersebut bernilai 10.7 Mhz. Pengukuran ini dilakukan untuk mengetahui kebutuhan nilai perangkat yang dibuat agar memiliki nilai frekuensi yang sesuai.

4.4 Penggabungan perangkat Analog dengan FPGA

Pada umumnya perangkat *base digital* tidak selamanya dapat mengolah sinyal analog tanpa disertakan komponen analog sebagai penerima utama. Pada gambar 4.18 menjelaskan untuk pengujian desain penerima FM digital membutuhkan perangkat analog sebagai antenna penerima, juga pengaturan channel frekuensi dapat diatur menggunakan tuner FM.



Gambar 4.18 penggabungan perangkat Analog dan Digital.

4.5 Ketidak fungsionalan perangkat

Hasil dari pengujian ini masih terdapat beberapa kekurangan, pada bagian ADC frekuensi sampling belum dapat sesuai yang diharapkan. Sinyal frekuensi yang diterima pada blok IF, sebesar 10.7 MHz sedangkan ADC frekuensi sampling bernilai 48 KHz. Seharusnya Sinyal frekuensi harus lebih kecil minimal 2x dari frekuensi sampling. Pengujian pada perangkat ini perlu diberikan ADC eksternal untuk membuat frekuensi sampling ADC 2x lipat atau lebih dari 10.7 MHz. Sehingga sinyal informasi masih dapat diterima dan dapat diterjemahkan oleh ADC. Pengujian sementara maka digunakan *audio codec* sebagai penerjemah sinyal ADC dan sinyal DAC.

BAB 5

KESIMPULAN DAN SARAN

5.1 Kesimpulan

Dari hasil pengujian perangkat FPGA, dapat disimpulkan sebagai berikut :

1. Desain penerima FM digital dapat diimplementasikan pada perangkat FPGA tetapi pada pengujian ini sistem belum dapat bekerja dengan baik.
2. Source coding yang mendukung dalam pengujian ini adalah : audio codec, PLL digital dan source coding penggabung keseluruhan bloknya.
3. Agar sinyal analog pada intermediet frekuensi dapat diproses pada FPGA maka perlu menggunakan ADC eksternal.
4. Perlu menggunakan ADC eksternal dengan spesifikasi nilai frekuensi sampling ADC tersebut minimal 22Mhz dan hanya untuk pengolahan sinyal sejumlah 8 bit. Karena sinyal intermediet frekuensi menghasilkan 10.7Mhz, untuk itu agar sinyal tersebut dapat disampling maka nilainya harus dua kali frekuensi masukan awal.
5. Hasil dari pengujian ini dapat diimplementasikan dengan sempurna jika terdapat IC ADC eksternal agar dapat mendukung adanya desain FM digital pada FPGA. Perangkat FPGA ini dapat mengolah segala macam elektronika telekomunikasi, begitu juga dengan Radio digital. Namun hal yang perlu diperhatikan adalah ADC, dimana sinyal analog dapat mudah diproses dalam base digital. Selain itu perangkat prototype FPGA ini baik digunakan untuk pengembangan riset system komunikasi digital yang selanjutnya dapat didesain menjadi satu chip yang bernilai kompleks.

5.2.1 Saran

Beberapa saran untuk pengembangan dalam pengujian ini, diantaranya :

1. Karena proses pengujian ini belum berhasil dengan baik, oleh karena itu penulis berharap untuk dapat diverifikasi ulang dengan menambahkan IC ADC eksternal yang memiliki spesifikasi frekuensi sampling minimalnya 22 Mhz dengan keluaran 8 bit.
2. Selain FM digital maka dapat dilanjutkan dengan desain – desain blok sistem komunikasi lainnya.
3. Jika ingin lebih mengembangkan lagi dengan memadukan blok system komunikasi yang dapat mengolah sinyal analog maka perlu membuat algoritma lebih umum dikenal dengan menggunakan *compiler* dari *software* Matlab dengan link tutorial : http://www.mathworks.com/products/hdl-coder/?s_cid=HP_MI_product_hdl-coder.

4. Begitu juga dari hasil pengujian perangkat FPGA ini bisa dijadikan kit praktikum sistem komunikasi berbasis digital.

Daftar pustaka :

- ADVANCE AUDIO CODING ON FPGA by Ryan Lynneman
- **AM/FM Digital Radio Receiver Implementation in FPGA By Thanh Hai Le**
- **FM Radio Receiver with Digital Demodulation** (A Senior Project presented to the Faculty of the Electrical Engineering Department California Polytechnic State University, San Luis Obispo)
- http://www.mathworks.com/products/hdl-coder/?s_cid=HP_MI_product_hdl-coder.
- http://www.ie.u-ryukyu.ac.jp/~wada/design05/spec_e.html
- <http://www.epartshub.com/company/companyForm.do?method=getCompanySeries&cmPyCd=00000014&seriesCd=SR0004103&classCd=XEA0284000&parentCd=>
- <http://www.alldatasheet.com/view.jsp?Searchword=A1267>
- <http://www.national.com/ds/AD/ADC088S052.pdf>
- <http://www.alldatasheet.com/datasheet-pdf/pdf/106695/NSC/DAC121S101.html>
- <http://www.alldatasheet.com/view.jsp?Searchword=LA%201837>
- <http://www.datasheets.org.uk/c3192-datasheet.html>
- <http://www.alldatasheet.com/view.jsp?Searchword=LA1260>
- <http://www.alldatasheet.com/view.jsp?Searchword=LA3361>
- <http://www.alldatasheet.com/view.jsp?Searchword=LC72131>
- Link download file :
- http://opencores.org/project.all_digital_fm_receiver
- www.opencores.org
- Xilinx Tutorial Testbench.