

## DAFTAR GAMBAR

Gambar 2.1	Contoh bentuk <i>opcode</i> 32-bit .....
Gambar 2.2	5-stage pipeline.....
Gambar 2.3	Arsitektur Standar dari IP core OR1200 .....
Gambar 2.4	Blok CPU.....
Gambar 2.5	Arsitektur FPGA.....
Gambar 2.6	CLB dan interkoneksi yang dapat diprogram.....
Gambar 2.7	Proses pemrograman .....
Gambar 3.1	Diagram Blok OpenRISC 1200.....
Gambar 3.2	Diagram Blok CPU/DSP .....
Gambar 3.3	5-stage instruction .....
Gambar 3.4	Blok diagram PIC .....
Gambar 3.5	Blok diagram debug unit .....
Gambar 3.6	Blok diagram Hardware .....
Gambar 3.7	Tampak atas board Atlys, dan fitur-fiturnya .....
Gambar 4.1	Proses sintesis.....

Gambar 4.2	RTL Schematic or1200_top .....
Gambar 4.3	Proses make orpsoc.ncd.....
Gambar 4.4	Hasil generate timing FPGA .....
Gambar 4.5	Library default Atlys .....
Gambar 4.6	Library Atlys dengan 100MHz Clock .....
Gambar 4.7	Tampilan program C.....
Gambar 4.8	Program Assembly Default .....
Gambar 4.9	Program Assembly dengan Clock 100MHz .....
Gambar 4.10	Hasil Simulasi Program Default pada OR1KSim .....
Gambar 4.11	Hasil Simulasi Program dengan Clock 100MHz pada OR1KSim.....
Gambar 4.12	Instruksi Program dalam Bentuk Opcode.....
Gambar 4.13	Proses Pemrograman Flash pada board Atlys berhasil .....
Gambar 4.14	Hasil Running Program Aplikasi pada FPGA .....