

DAFTAR TABEL

Tabel 3.1	<i>5-stage instruction pipeline</i>
Tabel 3.2	Waktu eksekusi dari instruksi.....
Tabel 3.3	Jenis eksepsi yang diimplementasikan
Tabel 4.1	Tabel Input/ Output sistem Prosesor
Tabel 4.2	Penggunaan <i>resource</i> pada FPGA.....
Tabel 4.3	Hubungan <i>Opcode</i> dan Instruksi
Tabel 4.4	Proses Translasi <i>Opcode</i>
Tabel 4.5	Hasil Simulasi Masing-Masing Board.....
Tabel 4.6	Nilai MIPS masing-masing <i>Board</i>