

BAB I

PENDAHULUAN

1.1. Latar Belakang

Dalam sistem komunikasi yang menggunakan teknologi *Broadband Wireless Acces* (BWA), processor FFT/IFFT merupakan bagian yang penting. Karena pada prosesor tersebut proses pembagian stream data berkecepatan tinggi menjadi beberapa substream yang berkecepatan rendah berlangsung. Proses pembagian ini bertujuan untuk memberikan efisiensi yang tinggi dalam penggunaan spektrum frekuensi. Oleh karena itu kemampuan pengiriman dan penerimaan data pada proses komunikasi tergantung pada kinerja dari processor FFT dan IFFT tersebut.

Dalam tugas akhir ini dirancang sebuah processor FFT/IFFT 512 titik dengan menggunakan radix-8 sebagai dasar perhitungannya. Dengan menggunakan algoritma Cooley-Tukey, proses perhitungan DFT/IDFT yang menjadi dasar implementasi FFT/IFFT menjadi lebih sedikit dan sederhana sehingga prosesnya lebih cepat dan hanya membutuhkan sedikit memori dibandingkan dengan menggunakan transformasi FFT/IFFT biasa. Kompleksitas perhitungan FFT/IFFT menjadikan *cost* pembuatannya sangat besar pada sebuah aplikasi perangkat keras. Oleh karena itu pada tugas akhir ini proses perhitungan FFT/IFFT 512 titik radix-8 dilakukan dengan menggunakan algoritma Cooley-Tukey, sehingga dapat memudahkan kita dalam proses perancangan dan implementasi pada board FPGA, Xilinx Virtex-4 XCVLX25.

1.2. Tujuan

Tujuan dari pembuatan Tugas Akhir ini adalah membuktikan bahwa FFT/IFFT processor 512 titik radix 8 dapat dirancang dan diimplementasikan pada FPGA board, Xilinx Virtex-4 XCVLX25 dengan penggunaan *resource slice memory* dan *input/output* yang wajar sehingga memungkinkan untuk dikembangkan lagi serta performansi yang sama ketika dimodelkan di MATLAB.

1.3. Rumusan Masalah

Rumusan masalah pada penyusunan tugas akhir ini adalah :

1. Perancangan sistem prosesor I/FFT yang diimplementasikan.
2. Pemodelan pada MATLAB untuk pengujian algoritma FFT/IFFT yang digunakan.
3. Perancangan sistem prosesor I/FFT dalam bahasa VHDL dan simulasinya.
4. Implementasi sistem I/FFT pada board FPGA, Xilinx Virtex-4 XC4VLX25.

1.4. Batasan Masalah

Pembahasan tugas akhir ini dilakukan dengan batasan-batasan masalah sebagai berikut :

1. Sistem I/FFT 512 titik dirancang dengan input berupa bit.
2. Asumsi data input dengan lebar 16 bit.
3. Teknik IFFT/FFT yang dirancang pada penelitian ini menggunakan algoritma radiks-8.
4. Jumlah titik yang diharapkan adalah 512 titik.
5. Perancangan pada FPGA board menggunakan bahasa pemrograman VHDL (VHSIC High Definition Language).
6. Chip FPGA yang digunakan adalah Xilinx Virtex-4 XC4VLX25.
7. Simulasi menggunakan ModelSim S.E 6.3f
8. Simulasi pada MATLAB sebatas uji kelayakan algoritma perancangan I/FFT sehingga sesuai dengan spesifikasi yang diinginkan.
9. Perancangan dilakukan sampai sintesa hardware.
10. Verifikasi menggunakan *testbench* pada software Modelsim 6.3f dengan data pembanding *test vector* yang di generate pada MATLAB.
11. Delay proses, jumlah IOB, LUT, Flip-Flop, GCLK, FIFO/RAM menjadi parameter unjuk kerja dari prosesor FFT/IFFT yang dirancang setelah diimplementasikan pada FPGA.
12. Tidak membahas system komunikasi multicarrier dan OFDM sebagai salah satu aplikasi dari system yang dirancang.

1.5. Metodologi

Dalam tugas akhir ini, digunakan metode penelitian yang dapat dijabarkan sebagai berikut :

1. Studi literatur

Pencarian dan pengumpulan literatur – literatur yang berkaitan dengan masalah – masalah yang ada pada tugas akhir ini, baik berupa artikel, buku referensi, internet, dan sumber – sumber lain yang berhubungan dengan masalah pada tugas akhir ini.

2. Analisa masalah

Menganalisa permasalahan yang ada berdasarkan sumber – sumber dan pengamatan terhadap permasalahan tersebut.

3. Perancangan dan Implementasi sistem

Merancang dan mengimplementasikan sistem berdasarkan parameter – parameter yang dibutuhkan.

4. Pengujian sistem

Pengujiannya dilakukan dengan membandingkan hasil simulasi perancangan dengan VHDL dan hasil pengkodean menggunakan MATLAB.

1.6. Sistematika Penulisan

Secara umum keseluruhan tugas akhir ini akan dibahas menjadi lima bab bahasan, ditambah dengan lampiran dan daftar istilah yang diperlukan. Penjelasan masing-masing adalah sebagai berikut:

BAB I PENDAHULUAN

Berisi gambaran umum dari percobaan yang dilakukan. Tercakup di dalamnya, latar belakang, perumusan masalah, tujuan, batasan masalah, metode penelitian serta sistematika penulisan.

BAB II DASAR TEORI

Berisi teori-teori yang mendukung dan mendasari penulisan tugas akhir, yaitu tentang teknik I/FFT yang digunakan, dasar dari FPGA, dan bahasa pemrograman yang digunakan.

BAB III PERANCANGAN SISTEM PROSESOR I/FFT 512 TITIK

- Berisi mengenai tahap perancangan blok transformasi fourier serta representasi bilangan yang digunakan untuk perancangan sistem.
- BAB IV SIMULASI SISTEM PROSESOR I/FFT 512 TITIK RADIKS-8**
Bab ini menjelaskan scenario simulasi sistem yang dilakukan. Disini tiap blok penyusun sistem dijelaskan.
- BAB V IMPLEMENTASI DAN SINTESA PROSESOR I/FFT 512 TITIK RADIKS-8**
Berisi skenario implementasi sistem pada FPGA serta analisis terhadap hasil sistesa sistem.
- BAB VI KESIMPULAN DAN SARAN**
Bab ini merupakan bab terakhir dari laporan tugas akhir yaitu berupa kesimpulan untuk sistem yang penulis kerjakan serta saran untuk penelitian berikutnya.