

DAFTAR GAMBAR

Gambar 2.1	Arsitektur bagian dalam FPGA	9
Gambar 2.2	Chip FPGA Xilinx Spartan	10
Gambar 2.3	Model VHDL dengan Arsitektur Berbeda	12
Gambar 3.1	Flowchart Perancangan dan Implementasi Sistem I/FFT	15
Gambar 3.2	Arsitektur Perhitungan FFT 8 titik DIF (Decimation In Frequency)	18
Gambar 3.3	Arsitektur I/FFT 512 titik Radix-8	19
Gambar 3.4	Blok Diagram IFFT dari FFT	19
Gambar 3.5	Blok Perancangan Sistem FFT 512 Titik Radix-8	20
Gambar 3.6	Blok Perancangan Sistem IFFT 512 Titik Radix-8	20
Gambar 4.1	Plot Nilai <i>Real</i> FFT 512 Titik di MATLAB	22
Gambar 4.2	Plot Nilai <i>Imaginer</i> FFT 512 Titik di MATLAB	22
Gambar 4.3	Plot Nilai <i>Real</i> IFFT 512 titik di MATLAB	23
Gambar 4.4	Plot Nilai <i>Real</i> IFFT 512 titik di MATLAB	23
Gambar 4.5	Chart Nilai <i>Real</i> FFT 512 titik di Ms. Excel	24
Gambar 4.6	Chart Nilai <i>Imaginer</i> FFT 512 titik di Ms. Excel	24
Gambar 4.7	Chart Nilai <i>Real</i> IFFT 512 titik di Ms. Excel	25
Gambar 4.8	Chart Nilai <i>Imaginer</i> IFFT 512 titik di Ms. Excel	25
Gambar 4.9	Flowchart Simulasi Sistem I/FFT 512 titik Radiks-8	26
Gambar 4.10	Blok <i>Controller</i> I/FFT	27
Gambar 4.11	Blok Pengalamatan (<i>Address</i>)	27
Gambar 4.12	Blok Radix-8 FFT	28
Gambar 4.13	Blok Penyimpanan <i>Twiddle Factor</i>	29
Gambar 4.14	Blok Pengatur Alamat <i>Twiddle Factor</i> (<i>rofactor</i>)	29
Gambar 4.15	Blok Pengali <i>Twiddle Factor</i>	30
Gambar 4.16	Blok DRAM (Dual RAM)	30
Gambar 4.17	Blok Pembagi 512	31
Gambar 4.18	Hasil Simulasi Sistem FFT 512 titik Radiks-8	32
Gambar 4.19	Hasil Simulasi Sistem IFFT 512 titik Radiks-8	32
Gambar 4.20	<i>Dataflow</i> Simulasi System I/FFT pada ModelSim	33

Gambar 5.1	Virtex-4 LC Sistem Board	34
Gambar 5.2	Diagram Implementasi pada FPGA	36
Gambar 5.3	Konfigurasi rantai JTAG yang digunakan pada Virtex-4 LC <i>Development Board</i>	36
Gambar 5.4	<i>Design Entry</i> Rangkaian	37
Gambar 5.5	Gambar <i>Assigned Package Pin</i>	38
Gambar 5.6	Tampilan blok sistem prosesor I/FFT hasil sintesa	38
Gambar 5.7	Tampilan blok <i>controller</i> dan <i>reorder</i> I/FFT 512 titik	39
Gambar 5.8	Tampilan blok <i>controller</i> dan blok-blok lainnya yang menyusun blok <i>controller</i> I/FFT	39
Gambar 5.9	Gambar Hasil <i>Place and Route</i> di <i>Flooplan</i> FPGA Xilinx Virtex-4 XCVLX25	41
Gambar 5.10	Aplikasi iMPACT yang merupakan pengisi (<i>downloader</i>) file .bit ke FPGA.	42