

## DAFTAR TABEL

Tabel 3.1	Tabel Representasi Bit	21
Tabel 4.1	Tabel Hasil Simulasi Sistem I/FFT 512 Titik	31
Tabel 5.1	<i>Resource</i> Lengkap Virtex-4 LC Sistem Board	35
Tabel 5.2	Penggunaan <i>resource</i> Komponen Pada FPGA	40
Tabel 5.3	Laporan Singkat Hasil Implementasi menggunakan Xilinx 12.i	41
Tabel 5.4	<i>Timing Summary</i> Hasil Sintesa Implementasi pada FPGA dengan Xilinx 12.1	41