

DAFTAR GAMBAR

	hal
Gambar 2.1 Proses ADC	5
Gambar 2.2 Proses <i>Sampling</i>	5
Gambar 2.3 Proses Kuantisasi	6
Gambar 2.4 Proses <i>Encoding</i>	6
Gambar 2.5 Blok Diagram Ekstraksi Ciri MFCC	8
Gambar 2.6 Contoh Framing dan Overlap pada Sebuah Sinyal	8
Gambar 2.7 Hubungan Antara Frekuensi dengan Skala Mel	10
Gambar 2.8 Contoh Satu Filter segitiga dengan Tinggi 1	11
Gambar 2.9 Contoh Filter Segitiga pada Domain Frekuensi dan Skala Mel	11
Gambar 2.10 Salah satu Development Board milik Xilinx	13
Gambar 2.11 Arsitektur FPGA	14
Gambar 2.12 CLB dan Interkoneksi yang Dapat Diprogram	14
Gambar 3.1 Arsitektur Blok Speech Recognition	17
Gambar 3.2 Timing Antarmuka Data Serial ADC	18
Gambar 3.3 Modul Dual Motor Controller 2A Produksi DF Robot	18
Gambar 3.4 Flowchart Sistem Speech Recognition	19
Gambar 3.5 Diagram Alir Perancangan dan Implementasi Sistem Speech Recognition	21
Gambar 3.6 Koneksi Blok Interface Audio Codec	22
Gambar 3.7 Blok Perancangan Audio Codec Interface	23
Gambar 3.8 Blok Perancangan Pre-emphasis Filter	24
Gambar 3.9 Perancangan Blok Clock Divider	25
Gambar 3.10 Perancangan Blok Frame Blocking	26
Gambar 3.11 Perancangan Blok Windowing	27
Gambar 3.12 Arsitektur Perhitungan FFT 4 Titik	28
Gambar 3.13 Perancangan Blok FFT 256 Titik	28
Gambar 3.14 Perancangan Blok Power Cepstrum	28
Gambar 3.15 Perhitungan Bobot pada Filter Segitiga	30
Gambar 3.16 Perancangan Blok Mel Frequency Wrapping	31
Gambar 3.17 Perancangan Blok Logaritma	33

Gambar 3.18 Perancangan Blok Cepstrum	33
Gambar 3.19 Perancangan Blok Database	34
Gambar 3.20 Perancangan Blok Euclidean Distance	34
Gambar 3.21 Perancangan Blok Output Logic	35
Gambar 4.1 Sistem Speech Recognition Untuk Robot Mobil	36
Gambar 4.2 Hasil Simulasi Blok Pre-emphasis Filter Pada Xilinx	37
Gambar 4.3 Hasil Simulasi Blok Windowing Pada Xilinx	38
Gambar 4.4 Grafik Hasil Windowing Pada Matlab dan Simulasi Pada Xilinx	39
Gambar 4.5 Hasil Simulasi Blok FFT Pada Xilinx	40
Gambar 4.6 Grafik Hasil Perhitungan FFT 256 Titik Pada Matlab dan Simulasi Pada Xilinx	41
Gambar 4.7 Hasil Simulasi Blok Magnitude FFT Pada Xilinx	41
Gambar 4.8 Grafik Magnitude FFT Hasil Perhitungan Pada Matlab dan Simulasi Pada Xilinx	42
Gambar 4.9 Grafik Magnitude FFT Hasil Perhitungan Pada Matlab dan Simulasi Pada Xilinx	43
Gambar 4.10 Grafik Mel Frequency Wrapping Hasil Perhitungan Pada Matlab dan Simulasi Pada Xilinx	44
Gambar 4.11 Hasil Simulasi Blok Logaritma Pada Xilinx	45
Gambar 4.12 Grafik Logaritma Hasil Perhitungan Pada Matlab dan Simulasi Pada Xilinx	46
Gambar 4.13 Hasil Simulasi Blok Cepstrum Pada Xilinx	47
Gambar 4.14 Grafik Cepstrum Hasil Perhitungan Pada Matlab dan Simulasi Pada Xilinx	48
Gambar 4.15 Hasil Simulasi Blok Euclidean Distance Pada Xilinx	49
Gambar 4.16 Hasil Simulasi Blok Logika Output Pada Xilinx	49
Gambar 5.1 Diagram Alir Proses Desain FPGA	50
Gambar 5.2 Design <i>Entry</i> Rangkaian	51
Gambar 5.3 Tampilan <i>Package</i> Dari Pin-Pin I/O Pada FPGA	51
Gambar 5.4 Tampilan Blok Speech Recognition Hasil Sintesa	52
Gambar 5.5 Tampilan Blok Speech Recognition Hasil Sintesa Terperinci	52
Gambar 5.6 Hasil ADC pada Logic Analyzer	55
Gambar 5.7 Sampel Sinyal Suara Hasil ADC	56
Gambar 5.8 Sampel Sinyal Suara Hasil Filter Preemphasis	56

Gambar 5.9 Sampel Sinyal Suara Hasil Blok Windowing	57
Gambar 5.10 Sampel Sinyal Suara Hasil Blok FFT Untuk Data Real dan Data Imaginer	58
Gambar 5.11 Sampel Sinyal Suara Hasil Blok Magnitude FFT	58
Gambar 5.12 Sampel Sinyal Suara Hasil Blok Mel Frequency Wrapping	59
Gambar 5.13 Sampel Sinyal Suara Hasil Blok Logaritma	60
Gambar 5.14 Sampel Sinyal Suara Hasil Blok Cepstrum	60
Gambar 5.15 Hasil MFCC pada Logic Analyzer	61
Gambar 5.16 Keluaran blok Database pada Logic Analyzer	61
Gambar 5.17 Keluaran Blok Euclidean Distance pada Logic Analyzer	62