

## DAFTAR GAMBAR

|  | hal |
|--|-----|
| Gambar 2.1 Blok diagram proses terjadinya suara sampe kependengar      | 7   |
| Gambar 2.2 Contoh gelombang suara                                      | 7   |
| Gambar 2.3 Proses ADC  | 8   |
| Gambar 2.4 Proses <i>Sampling</i>                                      | 8   |
| Gambar 2.5 Proses Kuantisasi   | 9   |
| Gambar 2.6 Proses <i>Encoding</i>                                      | 9   |
| Gambar 2.7 Contoh <i>Framing</i> dan <i>Overlap</i> pada Sebuah Sinyal | 11  |
| Gambar 2.8 Format bilangan <i>binary32</i>                             | 15  |
| Gambar 2.9 Salah satu <i>Development Board</i> milik Xilinx            | 16  |
| Gambar 2.10 Arsitektur FPGA  | 17  |
| Gambar 2.11 CLB dan Interkoneksi yang Dapat Diprogram                  | 17  |
| Gambar 3.1 Arsitektur Blok <i>Voice Recognition</i>                    | 21  |
| Gambar 3.2 Arsitektur Blok <i>Voice Recognition</i> part I             | 21  |
| Gambar 3.3 Arsitektur Blok <i>Voice Recognition</i> part II            | 21  |
| Gambar 3.4 Diagram alir perancangan sistem pengenalan suara manusia    | 23  |
| Gambar 3.5 Koneksi Blok Interface Audio Codec                          | 25  |
| Gambar 3.6 Perancangan Blok Audio Codec Interface                      | 27  |
| Gambar 3.7 format bilangan <i>binary32</i>                             | 28  |
| Gambar 3.8 Perancangan Blok <i>Clock Divider</i>                       | 29  |
| Gambar 3.9 Blok Perancangan Pre-emphasis Filter                        | 30  |
| Gambar 3.10 Perancangan Blok Frame Blocking                            | 31  |
| Gambar 3.11 Perancangan Blok Windowing                                 | 32  |
| Gambar 3.12 Perancangan Blok Autokorelasi                              | 32  |
| Gambar 3.13 Perancangan Blok Analisa Korelasi                          | 34  |
| Gambar 3.14 Blok Sistem Memory   | 36  |
| Gambar 3.15 Blok Sistem Euclidean Distance                             | 37  |
| Gambar 3.16 Perancangan Blok <i>Output Logic</i>                       | 38  |
| Gambar 3.17 Perancangan Blok Paralel to Serial                         | 38  |
| Gambar 3.18 Perancangan Blok Serial to Paralel                         | 39  |
| Gambar 3.19 Hasil Simulasi Blok Pre-emphasis Filter Pada Isim Xilinx   | 39  |

|  |    |
|--|----|
| Gambar 3.20 Hasil Simulasi Blok Frame Blocking Filter Pada Isim Xilinx         | 40 |
| Gambar 3.21 Hasil Simulasi Blok Windowing Pada Isim Xilinx                     | 41 |
| Gambar 3.22 Grafik Hasil Windowing Pada Matlab dan Simulasi Pada Xilinx        | 42 |
| Gambar 3.23 Hasil Simulasi Blok Autokorelasi Orde 0 Pada Isim Xilinx           | 42 |
| Gambar 3.24 Hasil Simulasi Blok Analisa Korelasi Pada Isim Xilinx              | 43 |
| Gambar 3.25 Hasil Simulasi Blok <i>Cepstral Converter</i> Pada Isim Xilinx     | 44 |
| Gambar 3.26 Hasil Simulasi Blok <i>Control Address Input</i> Pada Isim Xilinx  | 44 |
| Gambar 3.27 Hasil Simulasi Blok <i>Database</i> Pada Isim Xilinx               | 45 |
| Gambar 3.28 Hasil Simulasi Blok <i>Euclidean Distance</i> Pada Isim Xilinx     | 45 |
| Gambar 3.29 Hasil Simulasi Blok <i>Euclidean Distance Template</i> Pada Xilinx | 46 |
| Gambar 3.30 Hasil Simulasi Blok <i>Nearest Neighbor</i> Pada Isim Xilinx       | 47 |
| Gambar 3.31 Hasil Simulasi Blok <i>Output Initialization</i> Pada Isim Xilinx  | 47 |
| Gambar 3.32 Hasil Simulasi Blok Paralel to Serial Pada Isim Xilinx             | 48 |
| Gambar 3.33 Hasil Simulasi Blok Serial to Paralel Pada Isim Xilinx             | 48 |
| Gambar 4.1 Alat <i>Voice Recognition</i>                                       | 49 |
| Gambar 4.2 Diagram Alir Proses Desain FPGA                                     | 51 |
| Gambar 4.3 <i>Design Entry Voice Recognition part 1</i>                        | 52 |
| Gambar 4.4 <i>Design Entry Voice Recognition part 2</i>                        | 52 |
| Gambar 4.5 Tampilan <i>Package</i> dari Pin-pin I/O pada FPGA pertama          | 53 |
| Gambar 4.6 Tampilan <i>Package</i> dari Pin-pin I/O pada FPGA kedua            | 53 |
| Gambar 4.7 Hasil Sintesis <i>Voice Recognition part 1</i>                      | 54 |
| Gambar 4.8 Hasil Sintesis <i>Voice Recognition part 2</i>                      | 54 |
| Gambar 4.9 Hasil Sintesis isi blok <i>Voice Recognition part 1</i>             | 55 |
| Gambar 4.10 Hasil Sintesis isi blok <i>Voice Recognition part 2</i>            | 55 |
| Gambar 4.11 Hasil ADC pada Logic Analyzer                                      | 62 |