

DAFTAR GAMBAR

Gambar 2.1 Blok diagram WiMAX PHY <i>layer</i>	6
Gambar 2.2 Operasi LFSR	8
Gambar 2.3 FPGA Altera De0-Nano EP4CE22F17C6 Cyclone IV E	11
Gambar 3.1 Diagram blok secara umum	13
Gambar 3.2 Diagram alir perancangan dan implementasi sistem	14
Gambar 3.3 Blok sistem generator dengan input a.....	15
Gambar 3.4 Blok sistem generator dengan input b	15
Gambar 3.5 Blok sistem generator dengan input a.....	15
Gambar 3.6 Generator dengan input a pada <i>clock</i> 0-900ps.....	16
Gambar 3.7 Generator dengan input a pada <i>clock</i> 1000-2000ps.....	17
Gambar 3.8 Generator dengan input a pada <i>clock</i> 2000-2900ps.....	17
Gambar 3.9 Generator dengan input a pada <i>clock</i> 3000-3900ps.....	18
Gambar 3.10 Generator dengan input a pada <i>clock</i> 4000-4900ps.....	18
Gambar 3.11 Generator dengan input a pada <i>clock</i> 5000-5900ps.....	18
Gambar 3.12 Generator dengan input a pada <i>clock</i> 6000-6900ps.....	19
Gambar 3.13 Generator dengan input a pada <i>clock</i> 7000-7900ps.....	19
Gambar 3.14 Generator dengan input b pada <i>clock</i> 0-900ps.....	20
Gambar 3.15 Generator dengan input b pada <i>clock</i> 1000-2000ps.....	20
Gambar 3.16 Generator dengan input b pada <i>clock</i> 2000-2900ps.....	21
Gambar 3.17 Generator dengan input b pada <i>clock</i> 3000-3900ps.....	21
Gambar 3.18 Generator dengan input b pada <i>clock</i> 4000-4900ps.....	22
Gambar 3.19 Generator dengan input b pada <i>clock</i> 5000-5900ps.....	22
Gambar 3.20 Generator dengan input b pada <i>clock</i> 6000-6900ps.....	22
Gambar 3.21 Generator dengan input b pada <i>clock</i> 7000-7900ps.....	23
Gambar 3.22 Generator dengan input a dan b pada <i>clock</i> 0-900ps	24
Gambar 3.23 Blok sistem	26
Gambar 3.24 Blok sistem <i>scrambler</i>	27
Gambar 3.25 Blok sistem <i>descrambler</i>	27
Gambar 3.26 Sistem dengan input a pada <i>clock</i> 0-900ps.....	30

Gambar 3.27 Sistem dengan input b pada <i>clock</i> 0-900ps.....	33
Gambar 3.28 Sistem dengan input a dan b pada <i>clock</i> 0-900ps	37
Gambar 4.1 Pengujian blok generator input pada <i>logic analyzer</i>	49
Gambar 4.2 Pengujian blok <i>scrambler</i> pada <i>logic analyzer</i>	49
Gambar 4.3 Pengujian blok <i>descrambler</i> pada <i>logic analyzer</i>	49
Gambar 4.4 Pengujian sistem pada <i>logic analyzer</i>	50
Gambar 4.5 Program terdeteksi oleh FPGA	51
Gambar 4.6 Program berhasil di- <i>upload</i> ke FPGA	52
Gambar 4.7 Pengujian program di FPGA	52
Gambar 4.8 Hasil implementasi generator acak pada FPGA	53
Gambar 4.9 Hasil implementasi <i>scrambler</i> pada FPGA	53
Gambar 4.10 Hasil implementasi <i>descrambler</i> acak pada FPGA	53
Gambar 4.11 Pengujian sistem secara simulasi.....	55