

ABSTRAK

Penelitian ini membahas tentang arsitektur x86 dan penggunaan *cache memory* dalam sistem komputer. *Cache memory* berperan penting dalam meningkatkan efisiensi dan kinerja sistem komputer dengan menyimpan data yang sering digunakan. Terdapat tiga jenis *cache* dalam prosesor, yaitu *L1 Cache*, *L2 Cache*, dan *L3 Cache*, yang masing-masing memiliki ukuran dan fungsi yang berbeda. Kebijakan penggantian (*replacement policy*) *cache* yang umum digunakan adalah *Least Recently Used (LRU)*, tetapi kebijakan ini tidak efisien dalam mengelola *cache* dalam situasi dimana terdapat *fluktuasi* antara keadaan saturasi dan tidak saturasi yang kritis. Oleh karena itu, metode *Tree Pseudo Least Recently Used (TreePLRU)* diusulkan sebagai solusi yang lebih efisien dalam mengelola *cache* dengan pola akses yang berubah. Penelitian ini menggunakan simulator gem5 untuk melakukan pemodelan dan simulasi kinerja arsitektur komputer. Pengujian dilakukan dengan menggunakan perkalian matriks sebagai standar perbandingan. Pengujian diukur dari tingkat keberhasilan dan kegagalan *cache* (*cache hit* dan *cache miss*). Hasil penelitian ini diharapkan dapat mengetahui perbandingan *cache hit* dan *cache miss* pada *cache replacement policy* menggunakan TreePLRU dan LRU pada arsitektur x86.

Kata kunci: *Least Recently Used (LRU)*, *Tree Pseudo Least Recently Used (TreePLRU)*, gem5, *cache hit*, *cache miss*.