

DAFTAR GAMBAR

Gambar 2.1 Arsitektur x86.....	6
Gambar 2. 2 Lokasi <i>cache</i> memory [9].....	7
Gambar 2.3 Keadaan <i>cache</i> s1 dari set <i>cache</i> PLRU 8-way.....	9
Gambar 3.1 <i>Flowchart</i> alur kerja penelitnelitian	13
Gambar 3. 2 Skenario 1 untuk Level L1 <i>cache</i>	15
Gambar 3.3 Skenario 2 untuk Level L1 dan L2 <i>cache</i>	15
Gambar 3.4 Skenario 3 untuk Level L1, L2 dan L3 <i>cache</i>	16
Gambar 4.1 Grafik pengujian L1 <i>cache</i>	18
Gambar 4.2 Grafik hasil pengujian L2 <i>cache</i>	21
Gambar 4.3 Grafik hasil pengujian L3 <i>cache</i>	25