

DAFTAR ISI

	Halaman
LEMBAR PENGESAHAN	
LEMBAR PERNYATAAN ORISINALITAS	
LEMBAR PERSEMBAHAN	
ABSTRAK	i
ABSTRACT	ii
KATA PENGANTAR	iii
UCAPAN TERIMA KASIH	iv
DAFTAR ISI	vi
DAFTAR GAMBAR	ix
DAFTAR TABEL	xi
DAFTAR SINGKATAN	xii
DAFTAR ISTILAH	xiii
DAFTAR LAMPIRAN	xv
BAB I PENDAHULUAN	
1.1. Latar Belakang	1
1.2. Perumusan Masalah	1
1.3. Tujuan Penelitian	1
1.4. Batasan Masalah	2
1.5. Metode Penelitian	2
1.6. Sistematika Penulisan	2
BAB II LANDASAN TEORI	
2.1. Sistem Komunikasi Digital	4
2.2. <i>Channel Coding</i>	5
2.3. Kode <i>Reed-Solomon</i>	6
2.3.1. <i>Encoding Reed-Solomon</i> (15,9)	7
2.3.2. <i>Decoding Reed-Solomon</i> (15,9)	8

2.3.2.1. Menghitung Sindrom	9
2.3.2.2. Menentukan <i>Error Location Polynomial</i>	10
2.3.2.2.1. Algoritma <i>Berlekamp-Massey</i>	11
2.3.2.3. Mencari <i>Chien Search</i>	12
2.3.2.4. Menghitung <i>Error Values</i>	13
2.3.2.5. Mengoreksi Kesalahan	17
2.4. VHDL (<i>Very High Speed Integrated Circuit Hardware Description Language</i>)	17
2.5. FPGA (<i>Field Programmable Gate Array</i>)	18

BAB III PERANCANGAN DAN IMPLEMENTASI SISTEM

3.1. Perancangan Blok <i>Encoder Reed-Solomon</i>	21
3.1.1. Spesifikasi Blok <i>Encoder</i>	21
3.1.2. Perancangan dan Simulasi VHDL	22
3.1.2.1. Blok <i>Input Generator</i>	24
3.1.2.2. Blok <i>Clock Divider</i>	24
3.1.2.3. Blok <i>Serial to Parallel</i>	25
3.1.2.4. Blok <i>Parity Computation</i>	26
3.1.2.5. Blok <i>Register</i>	26
3.2. Perancangan Blok <i>Decoder Reed-Solomon</i>	26
3.2.1. Spesifikasi Blok <i>Decoder</i>	26
3.2.2. Perancangan dan Simulasi VHDL	27
3.2.2.1. Blok <i>Clock Divider</i>	29
3.2.2.2. Blok <i>Error Generator</i>	30
3.2.2.3. Blok <i>Serial to Parallel</i>	30
3.2.2.4. Blok <i>Syndrome Computation</i>	30
3.2.2.5. Blok <i>Berlekamp-Massey Algorithm</i>	31
3.2.2.6. Blok <i>Chien Search</i>	32
3.2.2.7. Blok <i>Error Values Computation</i>	32
3.2.2.8. Blok <i>Register</i>	33
3.3. Implementasi Sistem pada FPGA	34

3.3.1. Hasil Implementasi Sistem	35
----------------------------------	----

BAB IV PENGUJIAN DAN ANALISA SISTEM

4.1. Analisa Fungsional	37
4.1.1. Pengujian dengan Kesalahan 0 Simbol	38
4.1.1. Pengujian dengan Kesalahan 1 Simbol	40
4.1.1. Pengujian dengan Kesalahan 2 Simbol	41
4.1.1. Pengujian dengan Kesalahan 3 Simbol	43
4.1.1. Pengujian dengan Kesalahan > 3 Simbol	44
4.2. Analisa Hasil Sintesis	47
4.3. Analisa Hasil Pengujian Pada FPGA	48

BAB V KESIMPULAN DAN SARAN

5.1. Kesimpulan	50
5.2. Saran	50

DAFTAR PUSTAKA

LAMPIRAN