

## DAFTAR ISI

<b>LEMBAR JUDUL .....</b>	<b>i</b>
<b>LEMBAR PENGESAHAN.....</b>	<b>ii</b>
<b>LEMBAR PERNYATAAN ORISINALITAS .....</b>	<b>iii</b>
<b>ABSTRAK.....</b>	<b>iv</b>
<b>ABSTRACT.....</b>	<b>v</b>
<b>LEMBAR PERSEMBAHAN .....</b>	<b>vi</b>
<b>KATA PENGANTAR .....</b>	<b>vii</b>
<b>UCAPAN TERIMA KASIH.....</b>	<b>viii</b>
<b>DAFTAR ISI.....</b>	<b>x</b>
<b>DAFTAR TABEL.....</b>	<b>xiii</b>
<b>DAFTAR GAMBAR .....</b>	<b>xiv</b>
<b>DAFTAR ISTILAH.....</b>	<b>xvi</b>
<b>DAFTAR SINGKATAN .....</b>	<b>xix</b>
<b>DAFTAR LAMPIRAN .....</b>	<b>xx</b>
<b>BAB I PENDAHULUAN</b>	
1.1 Latar Belakang.....	1
1.2 Tujuan .....	1
1.3 Manfaat .....	2
1.4 Rumusan Masalah.....	2
1.5 Batasan Masalah .....	2
1.6 Metodologi Penelitian.....	3
1.7 Sistematika Penulisan .....	3
<b>BAB II DASAR TEORI</b>	
2.1 Modulasi Digital .....	5
2.2 <i>Quadrature Amplitude Modulation</i> .....	5
2.3 <i>Demodulator</i> .....	7
2.4 <i>Field Programable Gate Array (FPGA)</i> .....	8
2.5 <i>VHSIC Hardware Description Language (VHDL)</i> .....	9

2.6	Xilinx ISE .....	10
-----	------------------	----

### **BAB III PERANCANGAN SISTEM DEMAPPER DIGITAL 64-QAM**

3.1	Parameter Perancangan Sistem <i>Demapper</i> Digital 64-QAM .....	11
3.1.1	Algoritma <i>Threshold</i> .....	12
3.1.2	PRNG ( <i>Pseudo Random Gate Array</i> ).....	15
3.2	Diagram Alir Perancangan Sistem <i>Demapper</i> Digital 64-QAM .....	16
3.3	Penentuan Spesifikasi Sistem <i>Demapper</i> Digital 64-QAM.....	17
3.3.1	Penentuan Sistem <i>Demapper</i> 64-QAM Berdasarkan Teori .....	17
3.3.2	Penentuan Sistem <i>Demapper</i> 64-QAM Berdasarkan Matlab.....	20
3.3.3	Penentuan Sistem <i>Demapper</i> 64-QAM Berdasarkan Penelitian <i>Mapper</i> .....	24
3.4	Representasi Bilangan.....	25
3.5	Desain <i>Demapper</i> Pada VHDL .....	26
3.6	<i>Load</i> ke FPGA .....	27
3.7	Perangkat Bantu .....	27

### **BAB IV PENGUJIAN DAN IMPLEMENTASI SISTEM DEMAPPER DIGITAL 64-QAM**

4.1	Simulasi Sistem pada Isim .....	29
4.1.1	Simulasi pada <i>Demapper</i> Kondisi Ideal .....	29
4.1.2	Simulasi pada <i>Parallel to Serial</i> Kondisi Ideal .....	31
4.2	Validasi Hasil Simulasi Isim Blok <i>Mapper Demapper</i> .....	32
4.2.1	Validasi Kosndisi Ideal.....	32
4.2.2	Validasi Kosndisi Dengan <i>Noise</i> .....	33
4.3	Implementasi <i>Demapper</i> Digital 64-QAM .....	46
4.4	<i>Download</i> Bit File pada FPGA .....	46
4.4.1	<i>Design Entry / Design Utilities</i> .....	46
4.4.2	<i>User Constraints</i> .....	47

4.4.3 <i>Synthesize</i> .....	47
4.4.4 <i>Implement Design</i> .....	48
4.4.5 <i>Generate Programming File</i> .....	48
4.5 Analisis Hasil Implementasi .....	48
4.5.1 Kondisi Ideal .....	49
4.5.2 Kondisi Dengan <i>Noise</i> .....	50
<b>BAB V KESIMPULAN DAN SARAN</b>	
5.1 Kesimpulan .....	55
5.2 Saran .....	55
<b>DAFTAR PUSTAKA</b> .....	56