

BAB I

PENDAHULUAN

1.1 Latar Belakang

Long Term Evolution (LTE) adalah sebuah teknologi komunikasi nirkabel yang telah di rilis oleh 3GPP dengan kemampuan pengiriman data mencapai kecepatan 100 Mbit/s untuk *downlink* dan 50 Mbit/s untuk *uplink*^[1]. LTE menerapkan teknik pengkodean kanal (*channel coding*) pada proses transmisinya. Teknik *channel coding* yang diterapkan pada LTE adalah *convolutional coding* dan *turbo coding*.

Perbandingan antara *convolutional coding* dan *turbo coding* terletak pada *reliability* dan *efficiency* pada proses transmisi di teknologi LTE ^[2]. Untuk kebutuhan data rate dan *throughput* yang tinggi pada LTE, teknik pengkodean yang paling cocok adalah *turbo coding*. *Turbo Code* dapat diterapkan pada perangkat di sisi *transmitter* maupun *receiver*. Pada sisi *receiver*, perangkat yang di lengkapi dengan teknik pengkodean *Turbo Code* adalah *Turbo Decoder*. Penggunaan *Turbo Decoder* pada sisi *receiver* dapat dirancang dengan beberapa pendekatan algoritma, diantaranya adalah *Log-MAP algorithm*, *MAP algorithm* dan *Soft Output Viterbi Algorithm* (SOVA).

Dari penjelasan di atas, dilakukan sebuah perancangan rangkaian sistem elektronika *Turbo Decoder* pada kanal ideal menggunakan pendekatan *Soft Output Viterbi Algorithm*. Pada penelitian sebelumnya yang dilakukan oleh Manjunatha K N, Kiran B, Prasanna Kumar C^[3] telah berhasil mendesain dan mengimplementasikan *Turbo Decoder* dengan pendekatan *MAP algorithm* pada bahasa pengkodean *verilog*. Pada penelitian lain yang telah dilakukan oleh K. Kalyani, A. Skahti Amutha Vardhini, S. Rajaram^[4] juga telah berhasil mendesain dan mengimplementasikan *Turbo Decoder* dengan pendekatan *Log-MAP algorithm*.

Dari pemaparan di atas, pada tugas akhir ini dirancang sebuah *prototype Turbo Decoder* dengan pendekatan algoritma yang berbeda. Pendekatan algoritma yang digunakan pada tugas akhir ini menggunakan *Soft Output Viterbi Algorithm* (SOVA). Penggunaan algoritma tersebut dikarenakan salah satu yang paling

cocok dan suitable dengan *Very Large Scale Integration (VLSI) chip design* dan bahasa pengkodean *VHSIC Hardware Description Language (VHDL)* pada software Xilinx ISE 14.5. Setelah *prototype* sistem berhasil dirancang, selanjutnya di tanamkan pada *board* FPGA ATLYS Spartan-6 XC6SLX45 CSG324C.

1.2 Tujuan Penelitian

Tujuan dari penelitian yang dilakukan adalah :

1. Merancang sebuah *prototype Turbo Decoder* yang digunakan pada teknologi LTE dengan pendekatan *Soft Output Vitebi Algoritm (SOVA)*
2. Menganalisis keluaran dari masing-masing blok penyusun *Turbo Decoder*
3. Mengimplementasikan hasil rancangan *prototype Turbo Decoder* pada FPGA ATLYS Spartan-6 XC6SLX45 CSG324C
4. Melakukan analisis pada hasil perancangan terhadap *utilisasi resource* dan waktu proses sistem

1.3 Rumusan Masalah

Masalah yang akan dibahas pada penelitian ini adalah :

1. Menurunkan konsep pengkodean *turbo code* kedalam bahasa pengkodean VHDL
2. Merancang sebuah *prototype Turbo Decoder* dan melakukan pengimplementasian pada FPGA ATLYS Spartan-6 XC6SLX45 CSG324C
3. Pengujian hasil implementasi *prototype Turbo Decoder* yang telah dirancang pada FPGA ATLYS Spartan-6 XC6SLX45 CSG324C

1.4 Batasan Masalah

Pada penelitian ini, masalah-masalah yang akan dibahas akan dibatasi pada :

1. Perancangan dan implementasi hanya pada bagian penerima
2. Pembahasan hanya di level *baseband* dan pengolahan *bit* secara digital
3. Menggunakan FPGA ATLYS Spartan-6 XC6SLX45 CSG324C dan *software* Xilinx ISE 14.5
4. Code rates *Turbo Decoder* adalah 1/3

5. Menggunakan standar 3GPP *Long Term Evolution (LTE) release 8*
6. Kanal yang digunakan adalah ideal

1.5 Metode Penelitian

Metode penelitian yang digunakan dalam memecahkan permasalahan tugas akhir ini adalah :

1. Melakukan studi literatur dari berbagai macam buku, paper, jurnal dan referensi lain yang relevan dalam membantu penyelesaian masalah yang berkaitan dengan perancangan sistem.

Adapun langkah-langkah yang ditempuh dalam studi literatur ini adalah :

- Mempelajari teknik *Turbo Coding* secara umum
 - Mempelajari dan memahami Soft Output Viterbi Algoritm secara umum dan penurunan algoritmanya ke dalam bahasa pengkodean
 - Mempelajari spesifikasi dan parameter sistem *Turbo Decoder* secara umum
2. Proses perencanaan yang meliputi desain dan pembuatan sistem.
 3. Perancangan arsitektur rangkaian menggunakan bahasa pengkodean VHDL dengan *software* Xilinx.
 4. Implementasi rangkaian pada FPGA ATLYS Spartan-6 XC6SLX45 CSG324C.

1.6 Sistematika Penulisan

Sistematika penulisan yang digunakan pada tugas akhir ini adalah:

BAB I: PENDAHULUAN

Bab ini berisi uraian singkat mengenai latar belakang permasalahan, tujuan, rumusan masalah, batasan masalah, metode penelitian dan sistematika penelitian.

BAB II: DASAR TEORI

Bab ini berisi uraian konsep dan dasar teori secara umum yang mendukung dalam perancangan yang dilakukan dalam tugas akhir ini.

BAB III: PEMODELAN DAN SIMULASI SISTEM

Bab ini berisi uraian gambaran dan penjelasan mengenai pemodelan sistem *Turbo Decoder*.

BAB IV: PENGUJIAN DAN ANALISA SISTEM

Bab ini menguraikan tentang pengujian pada setiap blok penyusun sistem dekoder, penjelasan mengenai skenario implementasi serta pengujian sistem pada FPGA dan analisa terhadap keluaran yang dihasilkan.

BAB V: KESIMPULAN DAN SARAN

Pada bab ini akan memaparkan kesimpulan dari sistem yang telah di kerjakan dan saran untuk keperluan penelitian berikutnya.